



FAKULTAS TEKNOLOGI INDUSTRI
UNIVERSITAS ISLAM INDONESIA

PROSIDING

ISBN : 978-602-14272-0-0



"Menuju Kemandirian
Teknologi Pertahanan Nasional"

SEMINAR NASIONAL
TEKNOIN 2013

Yogyakarta, 16 November 2013

TEKNIK ELEKTRO

TEKNOIN
JURNAL TEKNOLOGI INDUSTRI ISSN: 0583-8697

 LG Innotek

Prosiding

Seminar Nasional Teknoin 2013

**"Menuju Kemandirian
Teknologi Pertahanan Nasional"**

Yogyakarta, 16 November 2013

Bidang Teknik Elektro

di selenggarakan oleh:

**Fakultas Teknologi Industri
Universitas Islam Indonesia
Yogyakarta**

Prosiding Seminar Nasional Teknoin 2013

ISBN : 978-602-14272-0-0

Diterbitkan Oleh:

Fakultas Teknologi Industri
Universitas Islam Indonesia
Jln. Kaliurang KM 14.5 Yogyakarta 55584
Phone : (0274) 895287 ext:120
Fax : (0274) 895007

Hak Cipta © 2013 ada pada penulis

Artikel pada prosiding ini dapat digunakan, dimodifikasi, dan disebarluaskan secara bebas untuk tujuan bukan komersil (non profit), dengan syarat tidak menghapus atau mengubah atribut penulis. Tidak diperbolehkan melakukan penulisan ulang kecuali mendapatkan ijin terlebih dahulu dari penulis.

KATA PENGANTAR

Assalamu'alaikum warahmatullah wabarakatuh

Puji syukur kami panjatkan kehadirat Allah SWT yang telah melimpahkan rahmat dan hidayah-Nya sehingga Seminar Teknoin 2013 ini dapat terselenggara. Sejak penyelenggaraan yang pertama kali pada tahun 2004, seminar Nasional Teknoin telah menjadi agenda tahunan yang dilaksanakan dalam rangka mewujudkan misi Universitas Islam Indonesia yang memiliki komitmen pada kesempurnaan (keunggulan) dan risalah islamiyah di bidang pendidikan, penelitian, pengabdian masyarakat dan dakwah islamiyah. Perpipak pada misi tersebut, Fakultas Teknologi Industri Universitas Islam Indonesia berkeinginan untuk dapat memberikan kontribusi nyata melalui penyelenggaraan Seminar Nasional Teknoin 2013 yang sekaligus menjadi forum diseminasi untuk lima disiplin ilmu, yaitu: Teknik Kimia, Teknik Industri, Teknik Informatika, Teknik Elektro, dan Teknik Mesin.

Topik yang diambil pada pelaksanaan seminar nasional Teknoin tahun 2013 ini, yang juga merupakan seminar Teknoin yang ke-10 adalah "Menuju Kemandirian Teknologi Pertahanan Nasional" yang didasarkan pada pertimbangan semakin mendesaknya kebutuhan sistem pertahanan nasional yang memadahi dan handal. Untuk itu diperlukan kemandirian nasional yang tidak mungkin terwujud tanpa dukungan berbagai pihak untuk mengembangkan penelitian dan industri di bidang pertahanan nasional. Dengan kemandirian di bidang pertahanan nasional ini, akan semakin memperkuat posisi Indonesia di tingkat internasional.

Dalam seminar tahun ini, panitia menerima 96 buah makalah full paper yang berasal dari berbagai propinsi di Indonesia. Setelah dilakukan review terhadap makalah tersebut, 72 makalah dinyatakan layak untuk dipresentasikan dalam seminar nasional ini. Adapun distribusi makalah berdasarkan bidang ilmunya adalah sebagai berikut: 12 makalah di bidang Teknik Kimia, 21 makalah di bidang Teknik Industri, 7 makalah di bidang Teknik Informatika, 20 makalah di bidang Teknik Elektro dan 12 makalah di bidang Teknik Mesin.

Pada Kesempatan ini, kami sebagai ketua pelaksana menyampaikan penghargaan dan terima kasih yang sebesar-besarnya kepada pimpinan Fakultas Teknologi Industri UII, pimpinan Jurusan, dan pimpinan program Pascasarjana di lingkungan Fakultas Teknologi Industri UII, tim reviewer, dan segenap panitia pelaksana yang telah berusaha maksimal dan bekerjasama dengan baik hingga terlaksananya acara ini. Ucapan terima kasih kami sampaikan pula kepada Ibu Connie Rahakundini Bakrie dari Universitas Indonesia dan Bapak Hery Mochtady dari PT. Pindad yang telah meluangkan waktu untuk menjadi narasumber dalam seminar kali ini. Tidak lupa pula ucapan terima kasih kepada seluruh pemakalah serta semua pihak yang telah berpartisipasi dalam acara ini. Kami juga mohon maaf yang sebesar-besarnya apabila selama ini ada sesuatu yang kurang berkenan.

Semoga dengan seminar ini, dapat lebih membuka wawasan dan ide-ide baru untuk melakukan berbagai inovasi di dalam mengembangkan teknologi di dalam negeri yang akan membawa kejayaan negeri kita ini dalam menghadapi berbagai rintangan yang muncul silih berganti. Selamat berseminar dan kami tunggu partisipasinya pada seminar nasional Teknoin selanjutnya di tahun 2014.

Wassalamu'alikum warahmatullah wabarakatuh

Yogyakarta, 16 November 2013
Ketua Panitia,

Dr. Eng. Hendra Setiawan

**SAMBUTAN
DEKAN FAKULTAS TEKNOLOGI INDUSTRI
UNIVERSITAS ISLAM INDONESIA**

Assalamu'alaikum warahmatullah wabarakatuh

Kemajuan ilmu pengetahuan dan teknologi sangat pesat pada era globalisasi. Semua negara sudah merasakan dampak dari globalisasi tersebut. Globalisasi telah menyebar ke seluruh dunia dengan hasil teknologi yang telah mempengaruhi kehidupan masyarakat dunia dan menimbulkan perubahan yang sangat mendasar dalam tatanan hubungan antar bangsa.

Di bidang teknologi persenjataan, perkembangan yang ada mempunyai arti dua sisi yang saling berlawanan. Di satu sisi berimbas pada peningkatan kapasitas pertahanan Negara, dan di sisi lainnya merakibat pada semakin canggih dan variatifnya bentuk-bentuk kerawanan terhadap kedaulatan NKRI. Untuk menghadapi dan mengantisipasi situasi dan kondisi tersebut diperlukan usaha keras untuk membangun suatu teknologi pertahanan yang mandiri dengan pembekalan pengetahuan yang memadai. Melalui Seminar Nasional TEKNOIN yang bertema "Menuju Kemandirian Teknologi Pertahanan nasional" ini diharapkan terjadi pertukaran ide, konsep, dan pengetahuan di bidang teknologi pertahanan antar pusat-pusat riset yang ada dan sekaligus membangun kekuatan teknologi nasional menuju Indonesia yang lebih tangguh.

Industri pertahanan nasional saat ini baru mampu menguasai teknologi untuk level menengah dengan konten lokal tidak lebih dari 35%. Untuk itu diperlukan usaha keras untuk meningkatkan konten lokal industri pertahanan dan sekaligus berusaha untuk mampu menguasai teknologi level yang lebih tinggi. Hal ini sejalan dengan rencana Kementerian Riset dan Teknologi pada bidang pembangunan industri pertahanan nasional yang menetapkan bahwa pada 2029 Indonesia diharapkan mampu memenuhi kebutuhan pokok angkatan darat, laut, dan udara TNI secara mandiri.

Sebagai sebuah forum ilmiah, seminar ini diharapkan dapat menjadi media diseminasi informasi hasil penelitian dan perkembangan terkini antar pihak dengan berbagai latar belakang, baik dari kalangan perguruan tinggi, lembaga penelitian, pemerintah/pengambil kebijakan, dan pihak industri. Diskusi antar pihak dengan berbagai perspektif ini diharapkan dapat memperluas *social networking* dan menghadirkan gambaran yang lebih lengkap atas berbagai perkembangan penelitian di bidang teknologi industri, dan pada gilirannya diharapkan dapat memberikan kontribusi bagi perkembangan teknologi dan pemanfaatannya bagi negara kesatuan Republik Indonesia.

Atas nama Fakultas Teknologi Industri, Universitas Islam Indonesia, saya menyampaikan terima kasih yang sebesar-besarnya kepada seluruh panitia pelaksana yang telah bekerja keras untuk memberikan yang terbaik di acara ini. Tidak lupa pula ucapkan terima kasih kepada semua pihak yang telah berkontribusi atas terselenggaranya Seminar Nasional Teknoin 2013 ini. Selamat berseminar dan semoga keberhasilan akan selalu menyertai anda semua.

Wassalamu'alaikum warahmatullah wabarakatuh

Yogyakarta, 16 November 2013

Dekan FTI UII

Ir. Gumbolo Hadi Susanto, M.Sc.

SUSUNAN PERSONALIA PANITIA SEMINAR NASIONAL TEKNOIN 2012

Penanggung Jawab	: Ir. Gumbolo Hadi Susanto, M.Sc.	Dekan
Pengarah	: Wahyudi Budi Pramono, ST., M.Eng Dr. Sri Kusumadewi, S.Si., MT. Dra. Kamariah, MS. Drs. Mohammad mastur, MSIE Yudi Prayudi, S.Si, M.Kom	Wakil Dekan Direktur Pascasarjana MTI Ketua Jurusan Teknik Kimia Ketua Jurusan Teknik Industri Ketua Jurusan Teknik
Informatika	Tito Yuwono, ST., M.Sc Agung Nugroho Adi, ST., MT.	Ketua Jurusan Teknik Elektro Ketua Jurusan Teknik Mesin
Ketua Pelaksana Bendahara	: Hendra Setiawan, ST., M.T., D.Eng. : 1. Yustiasih Purwaningrum, ST., MT. 2. Erawati Lestari, A.Md.	
Reviewer	: 1. Prof. Dr. Hari Purnomo (UII) 2. Ir. Muhammad Waziz Wildan M.Sc., Ph.D (UGM) 3. Prof. Dr. Ir. Mauridhi Hery Purnomo, M.Eng (ITS) 2. Ridwan Andi Purnomo, ST., M.Sc., Ph.D. (UII) 3. Dr. R.M. Faisal (UII) 4. Izzati Muhaimmah, ST., M.Sc. Ph.D. (UII) 5. R.M. Sisdarmanto Adinandra, ST., M.Sc., Ph.D. (UII) 6. Risdiyono, ST., M.Eng., D.Eng. (UII)	
Makalah & Prosiding: Koordinator	Firdaus, ST., MT. 1. Heri Suryantoro, A.Md. 2. Agus Sumarjana, ST. 3. Dian Ariyanto, A.Md. 4. Muhammad Susilo Atmodjo	
Sekretariat: Koordinator	Alvin Sahroni, ST., M.Eng. 1. Slamet Puji Astuti, A.Md. 2. Siti Amaroh, A.Md. 3. Jerry Irgo	
Sie. Acara dan Publikasi: Koordinator	Dwi Ana Ratna Wati, ST., M.Eng. 1. Suwati, S.Sos. 2. Pangesti Rahman, SE.	
Sie. Konsumsi dan perlengkapan:	1. Medilla Kusriyanto, ST., M.Eng. 2. Kasiyono, S.Kom. 3. Handry Setya Utama, A.Md. 4. Bagus Handoko, S.Pd. 5. Sri Handayani 6. Sarjudi 7. Eko Sukanto	
Pembantu Pelaksana :	1. Tri Handana 2. Muhammad Henry Himawan	

DAFTAR ISI
(Vol.1 : Teknik Elektro)

Kata Pengantar Ketua Panitia Seminar Nasional TEKNOIN 2013	iii
Sambutan Dekan Fakultas Teknologi Industri UII	v
Susunan Panitia	vii
Daftar Isi	ix
Sistem Inkubator Bayi Portable N.S. Salahuddin, M. Hermita, A. Kurniawan, D.A. Basir	A-1
Pengaruh Elevasi Dan Azimuth Laras Meriam Berbasis Android Syahrul, Eko Nurfitriyanto Saputro	A-4
Rancang Bangun Sistem Loker Penitipan Barang Berdasarkan Password dan Deteksi Wajah Pemilik Menggunakan Metode Triangle Face Besta Trichaya Putra, Satryo Budi Utomo and Ike Fibriani	A-9
Virtual Mouse Dengan Metode Natural Hand Gesture Tracking Ferrianto Gozali and Nurrahman Norman	A-16
Analisa Pengaruh Jumlah Bit Representasi Bilangan Real Pada Sistem Pemancar dan Penerima 16-QAM IFFT-1024 Efa Maydhona Saputra, Rina Pudji Astuti and Iswahyudi Hidayat	A-22
Analisis dan Perancangan Perangkat Lunak Pengenalan Wajah Menggunakan Algoritma Bacterial Foraging Optimization Ahmad Ghulam Tafrihi, Achmad Rizal and Ledy Novamizanti	A-28
Troli Pintar menggunakan Teknologi RFID dan Barcode Junartha Halomoan	A-34
Analisis Perbandingan Harmonik Arus akibat Beban Linear dan Non-Linear pada Transformator Auto Waluyo, Siti Saodah, Muhammad Iqbal	A-41
Sistem Peringatan Dini Banjir : Pemantauan Ketinggian Air Sungai Yang Divisualisasikan Andrew Joewono, Peter R. Angka, Daniel Christian Pradana	A-44
Sistem Kendali Suhu Ruang Dengan Variabel Jumlah Penghuni dan Suhu Riil Berbasis Kendali Fuzzy Moh Khairudin	A-51

Penghilangan Kabut pada Gambar Menggunakan Metode Dark Channel Prior Luthfi Arkanuddin, Bambang Hidayat and Ledy Novamizanti	A-56
Pengenalan Plat Nomor Kendaraan dengan Teknik Optimasi Algoritma Genetika pada Jaringan Syaraf Tiruan Backpropagation Yuli Sun Hariyani, Bambang Hidayat and Iwan Iwut	A-62
Analisa Dinamika Stabilitas Pembangkit Belawan Akibat Gangguan Hubung Singkat Satu Fasa ke Tanah Asri	A-67
Rancang Bangun Sistem Pemantau Kapal Penangkap Ikan Djohar Syamsi and Akbari Indra Basuki	A-70
Dualband Quadrature Mixer Up-Conversion Dengan Current Reuse Untuk Aplikasi Sistem Wireless Gunawan Wibisono, Taufiq Alif Kurniawan, Purnomo Sidi Priambodo, Martine Maurence	A-75
Review Teknologi Sel Surya Generasi Pertama, Kedua, dan Ketiga Ratno Nuryadi, Dwi Gustiono, Nandang Suhendra, Lia Aprilia, Wawas Swathatafrijiah	A-80
Simulasi Pengendalian Conveyor Pada Proses Pengolahan Batu Bara Sebagai Monitoring Berbasis SCADA Ane Prasetyowati R	A-86
Komparasi Algoritma Penjadwalan Load Balancing Pada Server Cluster Dengan Linux Virtual Server Wisnu Broto	A-97
Analisa Performansi Transmisi Sepanjang 12,31 Km Serat Optik Hasil Pengukuran Dan Perhitungan Dengan Metode Link Power Budget Untung Priyanto	A-101
Analisis Dan Simulasi Space Time Trellis Code Pada Sistem Komunikasi Nirkabel Menggunakan Modulasi 4-PSK Noor Suryaningsih	A-108

Analisis Pengaruh Jumlah Bit Representasi Bilangan Real Pada Sistem Pemancar Dan Penerima 16-QAM IFFT-1024

Efa Maydhona Saputra
Departemen Pascasarjana
Fak. Teknik Universitas Telkom
Bandung, Indonesia
efa@maydhona.web.id

Rina Pudji Astuti
Departemen Pascasarjana
Fak. Teknik Universitas Telkom
Bandung, Indonesia
rpa@ittelkom.ac.id

Iswahyudi Hidayat
Departemen Elektro Komunikasi
Fak. Teknik Universitas Telkom
Bandung, Indonesia
isw@ittelkom.ac.id

Abstrak – Implementasi modulasi digital pada FPGA mengharuskan adanya pe-representasian bilangan real menjadi bilangan digital. Representasi tersebut akan mengurangi tingkat ketelitian dari bilangan real pada operasi matematika. Pemilihan jumlah bit yang tepat, dapat mereduksi peluang error. Oleh karena itu, penelitian ini menganalisis jumlah bit yang digunakan pada pe-representasian bilangan real menjadi fixed point pada sistem 16-QAM IFFT-1024 pada kanal ideal. Setiap bilangan, data masukan, twiddle factor, dan bilangan hasil operasi matematika akan dikompres dengan bit tertentu dari 12 bit hingga 25 bit. Hasil simulasi dengan menggunakan excel menunjukkan bahwa penggunaan 20 bit fixed point aman untuk komunikasi digital dengan pergeseran symbol maksimal sebesar 0.07.

Kata kunci – *Bilangan Real; Fixed Point; Kompresi Bit; Peluang Error; Simulasi; Excel.*

I. PENDAHULUAN

A. Latar Belakang

Mapping digital digunakan oleh sebuah sistem pemancar dan penerima dalam mengkonversi beberapa bit menjadi satu symbol. Dalam aplikasinya, simbol hasil konversi bit tadi kemudian diterjemahkan dalam format bilangan real kompleks.

Dalam sebuah sistem digital, symbol berbentuk bilangan real tersebut direpresentasikan dengan format bilangan fixed point atau floating point. Pada blok IFFT, bilangan-bilangan tersebut mengalami proses perkalian dan penjumlahan dengan bilangan-bilangan fixed point atau floating point lainnya.

Karena tidak berada pada ranah bilangan real, operasi-operasi perkalian dan penjumlahan yang terjadi dalam sistem menyebabkan berkurangnya ketelitian output pada pemancar. Akibatnya, terjadi error pada penerima, dimana terjadi pergeseran symbol ke daerah symbol yang lain.

Hal ini bisa diatasi dengan penggunaan banyak bit yang tepat untuk merepresentasikan bilangan real. Semakin banyak bit yang digunakan, ketelitian semakin tinggi namun

akan memakan resource yang tidak sedikit, sedangkan sedikit bit akan mengurangi ketelitian.

Oleh karena itu, pada penelitian ini disimulasikan pengiriman dan penerimaan symbol 16-QAM pada pemancar dengan IFFT-1024 dan penerima dengan FFT-1024 pada kanal ideal tanpa gangguan. Kemudian pada sisi penerima akan dilihat simpangan terjauh dari sebuah symbol.

B. Tujuan Penelitian

Penelitian ini bertujuan untuk mengetahui tingkat error pada sistem pemancar penerima yang mengadopsi 16-QAM dan IFFT-1024 menggunakan VHDL dengan representasi bilangan fixed point.

C. Batasan Masalah

Hasil dari penelitian ini berlaku untuk sistem dengan mapping 16-QAM dan IFFT-1024 dengan format bilangan fixed point pada kanal ideal.

II. TEORI PENUNJANG

A. Modulasi

Modulasi adalah proses penumpangan sinyal informasi ke sinyal pembawa dengan memanipulasi parameter sinyal pembawa sesuai dengan kondisi sinyal informasi. Dalam prakteknya, ada tiga jenis parameter sinyal pembawa yang dapat dimanipulasi dengan sinyal informasi, yaitu frekuensi, amplitudo, dan fasa.

Pada modulasi digital, sinyal informasi yang berupa digital akan dikonversi terlebih dahulu kedalam simbol digital untuk kemudian dilakukan proses modulasi. Proses pengubahan bit menjadi simbol ini disebut Mapping.

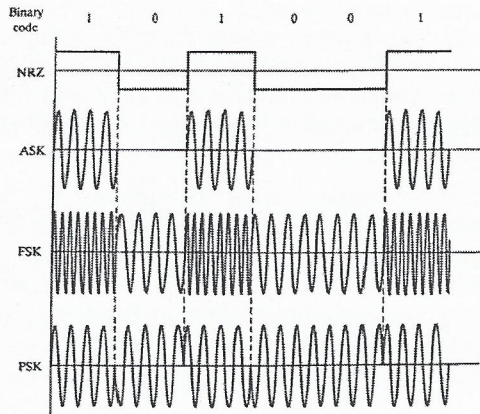
Bentuk umum sinyal *carrier* :

$$s(t) = A(t) \cdot \cos(\omega_0 t + \theta(t)) \quad (1)$$

dimana ω_0 adalah frekuensi *carrier* dalam radian, $A(t)$ dan $\theta(t)$ merupakan amplitudo dan fasa yang bervariasi terhadap fungsi waktu.

B. Mapping 16-QAM [8]

Mapping dapat diartikan sebagai pengubahan bit data ke dalam symbol dimana fungsi ini mirip seperti modulasi secara umum, yaitu menumpangkan informasi ke dalam amplitudo, fasa, atau frekuensi sinyal pembawa. Dalam aplikasinya, ada tiga jenis mapper yang umum digunakan pada modulasi digital, yaitu ASK, FSK, dan PSK seperti ditunjukkan pada Gambar 1. Perkembangan selanjutnya memunculkan teknik modulasi yang merupakan kombinasi antara modulasi amplitudo dan fasa, yang kemudian dikenal sebagai QAM.



Gambar 1 Perbandingan modulasi digital [8]

QAM merupakan suatu teknik modulasi digital yang mengkombinasikan modulasi amplitudo dan fasa. Dalam modulasi M-Ary PSK, amplitudo dari gelombang penyusun konstelasinya memiliki nilai yang sama, akibatnya informasi yang dibawa hanya dapat dibedakan berdasarkan fasa awal gelombang yang ditransmisi. Masalah muncul jika menggunakan M-ary PSK orde tinggi, karena perbedaan fasa tiap gelombang menjadi sangat kecil hingga akan lebih sulit membedakan gelombang yang satu terhadap yang lain.

Pada dasarnya, modulasi QAM juga melakukan modulasi fasa sama dengan teknik modulasi QPSK. Namun pada QAM, selain fasa, modulasi juga dilakukan pada Amplitudo. Hal ini dapat dilakukan dengan memodifikasi gelombang pada kanal *Inphase* dan *Quadrature*. Sehingga gelombang yang menyusun konstelasinya selain memiliki fasa yang berbeda juga amplitudo yang bervariasi.

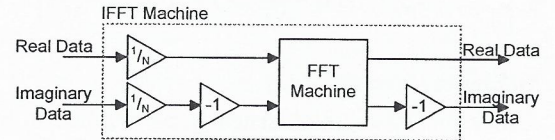
Pada 16-Ary QAM, nilai 16 menunjukkan jumlah gelombang kombinasi amplitudo dan fasa yang digunakan untuk mewakili tiap simbol informasi. Gambar diagram konstelasi *rectangular* dengan berbagai kombinasi nilai level M dapat dilihat pada Gambar 3.

C. IFFT dan FFT [7]

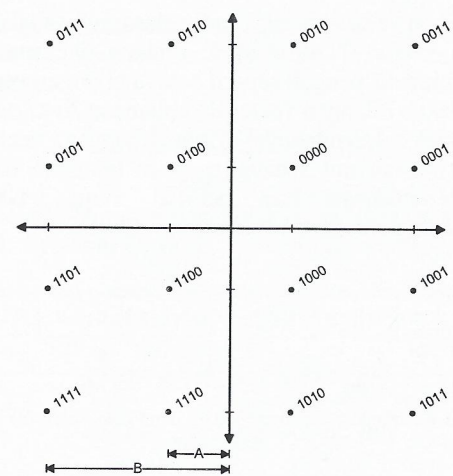
Pada realisasinya, OFDM membutuhkan banyak subcarrier. Pada OFDM 1024 Subcarrier misalnya, dibutuhkan 1024 osilator penghasil sinyal carrier yang tentu saja memakan biaya yang tidak sedikit. Penelitian menemukan bahwa operasi perkalian sinyal informasi dengan sinyal subcarrier memiliki pola yang sama dengan

operasi IFFT. Penggunaan IFFT tentu sangat menguntungkan karena tidak memakan biaya yang banyak. Oleh karena itu, keluar dari fungsi IFFT sebagai transformasi sinyal dari domain frekuensi ke dalam domain waktu, blok IFFT pada penelitian ini difungsikan sebagai orthogonal modulation yang akan meng-ortogonalkan ke 1024 sinyal masukan.

Operasi IFFT membutuhkan masukan berupa sinyal parallel dan mengeluarkan sinyal parallel dengan jumlah lengan sesuai dengan jumlah titik-nya. Hubungan antara IFFT dan FFT digambarkan pada Gambar 2.



Gambar 2 IFFT dan FFT [7]



Gambar 3 Konstelasi persegi untuk M=16

Pada sebuah mesin IFFT, terdapat mesin FFT didalamnya, dimana sinyal parallel masukan akan dikalikan dengan $1/N$ pada bagian real dan $-1/N$ pada bagian imajiner, serta operasi conjugate pada sisi keluaran. Mesin FFT sendiri terdiri dari beberapa stage mesin radix-2. Masing-masing radix pada tiap stage mendapatkan factor pengali dari twiddle factor W_z dengan persamaan :

$$W_z = e^{-2\pi j/z} = \cos\left(\frac{2\pi}{z}\right) - j \cdot \sin\left(\frac{2\pi}{z}\right) \quad (2)$$

Factor inilah yang membuat sinyal keluaran IFFT saling orthogonal satu sama lain. Untuk setiap stage, nilai z menyesuaikan, dimana pada persamaan radix-4, setiap stage memiliki 2 buah Twiddle Faktor.

FFT dapat dituliskan dalam bentuk sinusoida sebagai berikut :

$$x(k) = \sum_{n=0}^{N-1} x(n) \sin\left(\frac{2\pi kn}{N}\right) + j \sum_{n=0}^{N-1} x(n) \cos\left(\frac{2\pi kn}{N}\right) \quad (3)$$

dimana

$x(n)$ adalah koefisien sinus dan cosinus pada $2\pi k/N$,
 k adalah indeks dari frekuensi pada frekuensi ke- N , dan
 n adalah indeks waktu,
 $x(k)$ adalah nilai dari spektrum ke- k (domain frekuensi)
 $x(n)$ adalah nilai sinyal pada domain waktu.

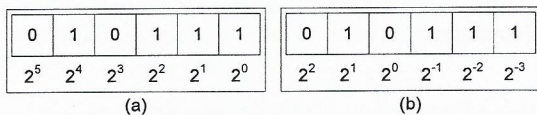
Invers FFT (IFFT) menghitung kembali representasi sinyal waktu diskrit dari sinyal yang dinyatakan dengan menggunakan persamaan :

$$x(k) = \sum_{n=0}^{N-1} x(n) \sin\left(\frac{2\pi kn}{N}\right) + j \sum_{n=0}^{N-1} x(n) \cos\left(\frac{2\pi kn}{N}\right) \quad (4)$$

D. Bilangan Fixed Point [3]

Untuk merancang blok sistem yang melibatkan bilangan real dalam operasinya, dibutuhkan sebuah representasi bilangan real ke dalam bilangan digital. Salah satu caranya adalah dengan menggunakan bilangan *fixed point*.

Bilangan *fixed point* pada dasarnya adalah sebuah bilangan vector (N downto 0) dimana tiap ruas bilangan memiliki indeks pengali seperti halnya bilangan vector. Yang membedakan bilangan vector dan bilangan *fixed point* adalah pada indeks terendahnya. Pada bilangan vector, index terendah adalah nol sedangkan pada bilangan *fixed point*, index terendahnya bisa bernilai minus, **Gambar 4** menjelaskan perbedaan tersebut.



Gambar 4 Perbedaan Bilangan Vector dan Fixed Point; (a) vector, (b) fixed point

Seperti pada **Gambar 4** di atas, bilangan digital sama-sama menunjukkan angka 010111, akan tetapi nilai yang dikandungnya berbeda bila format bilangannya berbeda.

- a) Bila 010111 berformat bilangan *std_logic_vector*, maka nilainya setara dengan :

$$(1 \times 2^4) + (0 \times 2^3) + (1 \times 2^2) + (1 \times 2^1) + (1 \times 2^0) = 23$$

- b) Bila 010111 berformat bilangan *fixed*, maka nilainya setara dengan :

$$(1 \times 2^1) + (0 \times 2^0) + (1 \times 2^{-1}) + (1 \times 2^{-2}) + (1 \times 2^{-3}) = 2.875$$

Penggunaan bilangan *std_logic_vector* dan *fixed* pada VHDL tidak memiliki perbedaan yang berarti, karena pada operasi-operasi dasar (+, x, -, /), baik bilangan vector maupun *fixed* mendapat perlakuan yang sama. Namun penggunaan bilangan *fixed* menurut penulis memiliki kelebihan tersendiri terutama pada saat menjalankan operasi perkalian antara dua bilangan real.

Bila kita ingin mengalikan dua bilangan real X dan Y dengan nilai masing-masing :

$$X = 0.25$$

$$Y = 0.75$$

Dalam perhitungan biasa, kita mengalikan bilangan tersebut dengan cara

$$X \times Y = 0.25 \times 0.75 = 0.1875$$

Dalam bilangan *fixed* (1 downto -4), kita mengalikan bilangan X dan Y dengan cara :

$$X = 0.25 = 000100$$

$$Y = 0.75 = 001100$$

$$000100 \times 001100 = 00000011000$$

Hasil kali X dan Y secara otomatis memiliki indeks downto -8). Bila diasumsikan hasil kali X dan Y adalah Z, dan kita menginginkan format Z sama seperti format X dan Y, maka dengan mudah kita panggil **Z = hasil (1 downto 4) = 000011**.

Dalam bilangan vector (5 downto 0), agar dapat dikodekan dalam bilangan biner, mula-mula kita kalikan bilangan real dengan sebuah bilangan kelipatan pangkat 2. Dalam hal ini penulis pilih 16 agar format data yang didapat sama seperti pada format bilangan *fixed*. Kita mengalikan bilangan X dan Y dengan cara

$$X = 0.25 \times 16 = 4 = 000100$$

$$Y = 0.75 \times 16 = 12 = 001100$$

$$000100 \times 001100 = 00000011000$$

Hasil kali X dan Y secara otomatis memiliki indeks (1 downto 0). Bila diasumsikan hasil kali X dan Y adalah Z dimana kita tahu bahwa hasil kalinya sama dengan 0.1875 maka dengan trik perkalian dengan bilangan 16 seperti yang kita lakukan pada X dan Y, kita dapatkan nilai $Z = 0.1875 \times 16 = 3$. Dan bila kita menginginkan format Z sama seperti format X dan Y, maka kita harus memanggil Z dengan cara **Z = hasil (9 downto 4) = 000011**.

Dalam bilangan *fixed* yang diperkenalkan pada tahun 2008, terdapat 2 jenis bilangan *fixed*, yaitu *sfixed* dan *ufixed*. Bilangan *ufixed* digunakan untuk bilangan tidak bertanda (tidak ada bilangan minus) atau lebih dikenal dengan bilangan *unsigned fixed*. Sedangkan *sfixed* digunakan untuk bilangan bertanda (untuk bilangan minus). Penggunaannya sama seperti bilangan *std_logic_vector* dimana indeks tertinggi digunakan sebagai sign bit, berlogika '1' bila negatif dan berlogika '0' bila positif.

Untuk menggunakan bilangan *fixed* pada VHDL, ada library yang harus ditambahkan secara manual baik pada software simulasi Modelsim maupun software Xilinx ISE. Library tersebut adalah *floatfixlib* yang terdiri dari tiga buah file VHD; *fixed package*, *float package*, dan *math utility package*.

E. VHDL (VHSIC Hardware Description Language)[2][5]

VHDL adalah sebuah bahasa pemrograman untuk mendeskripsikan sistem elektronika digital. Kebutuhan akan bahasa pemrograman muncul pada tahun 1980 dimana pada tahun tersebut, pemerintah Amerika Serikat sedang

mengerjakan program VHSIC (Very High Speed Integrated Circuits). VHDL kemudian diperkenalkan kepada public sebagai bahasa untuk memprogram desain IC pada program VHSIC. Bahasa ini kemudian dijadikan standar bahasa pemrograman IC atau Chipset oleh Institute of Electrical and Electronic Engineers (IEEE) di Amerika Serikat.

VHDL dibuat untuk memenuhi kebutuhan akan desain sistem elektronika digital. Pertama, VHDL mampu mendeskripsikan struktur rangkaian digital sampai level subsistem dengan konsep hierarcy dan menjelaskan bagaimana antar subsistem saling terinterkoneksi. Kedua, bahasa yang digunakan mudah dipahami dengan syntax-syntax seperti layaknya bahasa pemrograman pada umumnya. Ketiga, yang paling menguntungkan dengan penggunaan VHDL adalah user bisa men-simulasikan desain yang dibuatnya dengan menggunakan simulator sebelum diproduksi. Selain mengurangi biaya produksi untuk pembuatan protipe, aspek ini juga mempercepat penyelesaian desain karena error yang terjadi dapat dengan cepat diperbaiki oleh desainer.

Dalam VHDL, desain sistem dibagi menjadi 3 bagian besar, yaitu Library, Entity, dan Architecture. *Library* adalah tempat penyimpanan modul-modul rangkaian yang dapat dipakai untuk perancangan rangkaian selanjutnya. Bagian *Library* berisi semua *library* yang digunakan pada design. Contoh : *ieee*, *floatfixlib*, dan lain-lain.

Saat mendesain dengan menggunakan VHDL, kita memodelkan *hardware* ke dalam bahasa pemrograman. Setiap *hardware* pasti memiliki *input* dan *ouput*. Pendeklarasian *input* dan *output hardware* tersebut disebut dengan *entity* dan setiap *entity* mempunyai deklarasi dan penjelasan bagaimana *entity* tersebut bekerja.

Setelah pendeklarasian *library* dan *entity* maka perlu dideklarasikan bagaimana hubungan antara *output* dan *input* sistem. Bagian ini disebut dengan *Architecture Body* dari suatu *entity*. Pada bagian *architecture* ini kita dapat mendeskripsikan sistem *hardware* dalam beberapa cara yaitu :

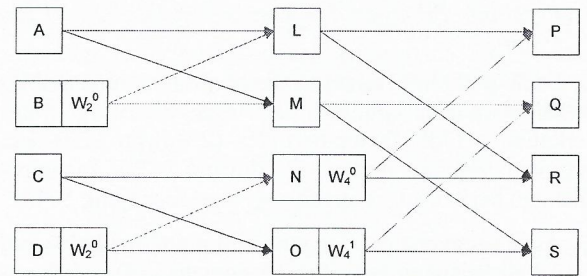
- a) Behavioral
- b) Structural
- c) Mixed
- d) Testbench

Bevahioral Description mendeskripsikan bagaimana perilaku output terhadap beberapa variasi input. *Bevahioral* berisi proses, pensinyalan, dan variable. *Structural Description* mendeskripsikan bagaimana sebuah fungsi dari sebuah *entity*. Cara pendeskripsikan sebuah *entity* secara struktural dilakukan dengan cara mengambil *entity* lainnya dan menghubungkannya menggunakan port map. *Mixed Description* merupakan gabungan antara *Behavioral* dan *Structural*. *Testbench Description* adalah bentuk pendeskripsian suatu bentuk *entity* untuk kemudian dilakukan pengujian terhadap *entity* tersebut.

III. PERANCANGAN SISTEM

A. Persamaan Radix 4

Persamaan radix adalah persamaan dasar yang diaplikasikan pada blok IFFT. Persamaan radix 4 mengacu pada diagram kupu-kupu FFT seperti ditunjukkan pada Gambar 5.



Gambar 5 Diagram Kupu-Kupu Radix 4

Pada persamaan radix, terdapat dua jenis masukan, yaitu data dan twiddle factor. Persamaan umum dari Twiddle Factor adalah

$$W_z = e^{-2\pi j/z} = \cos\left(\frac{2\pi}{z}\right) - j \cdot \sin\left(\frac{2\pi}{z}\right) \quad (5)$$

Sehingga, Untuk setiap Nilai A, B, C, D masukan FFT Radix 4, keluaran P, Q, R, S memiliki persamaan sebagai berikut:

$$P = (A + BW_2^0) + (C + DW_2^0)W_4^0 \quad (6)$$

$$Q = (A + BW_2^1) + (C + DW_2^1)W_4^1 \quad (7)$$

$$R = (A + BW_2^2) + (C + DW_2^2)W_4^2 \quad (8)$$

$$S = (A + BW_2^3) + (C + DW_2^3)W_4^3 \quad (9)$$

Persamaan umum untuk radix 4 kemudian dibuat general dengan melihat kesamaan dari keempat persamaan di atas, persamaan umum untuk radix 4 adalah :

$$(A + BW_i^n) + (C + DW_i^n)W_j^n \quad (10)$$

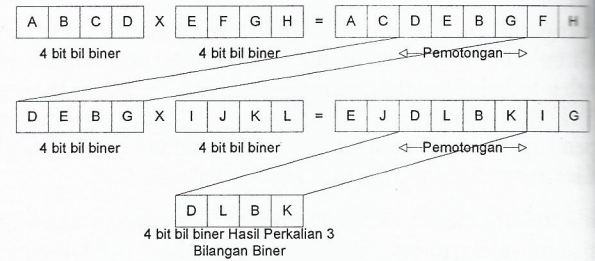
A, B, C, D adalah masukan dengan bentuk array (0...(k-1)), dengan format sebagai berikut:

$$A = \begin{pmatrix} A_0 \\ A_1 \\ A_2 \\ \vdots \\ A_{k-1} \end{pmatrix}; B = \begin{pmatrix} B_0 \\ B_1 \\ B_2 \\ \vdots \\ B_{k-1} \end{pmatrix}; C = \begin{pmatrix} C_0 \\ C_1 \\ C_2 \\ \vdots \\ C_{k-1} \end{pmatrix}; D = \begin{pmatrix} D_0 \\ D_1 \\ D_2 \\ \vdots \\ D_{k-1} \end{pmatrix} \quad (11)$$

Sedangkan P, Q, R, S adalah keluaran mesin FFT dengan dimensi sama dengan dimensi masukannya. Dimana untuk masing-masing stage, nilai k, n, i, dan j adalah sebagai berikut :

$$\text{Stage } l : k=4^l=1 \quad n=0 \quad i = 2 \quad j = 4$$

Stage 2 : $k=4^1=4$	$n = 0,1,2,3$	$i = 8$
	$j = 16$	
Stage 3 : $k=4^2=16$	$n = 0,1,2,\dots,(k-1)$	$i = 32$
	$j = 64$	
Stage 4 : $k=4^3=64$	$n = 0,1,2,\dots,(k-1)$	$i = 128$
	$j = 256$	
Stage 5 : $k=4^4=256$	$n = 0,1,2,\dots,(k-1)$	$i = 512$
	$j = 1024$	



Gambar 6 Proses Perkalian Bertingkat Bilangan Biner

B. Perkalian Bilangan dan Konsistensi Tipe Data Fixed Point

Pada perkalian bilangan fixed point, panjang bit hasil perkalian adalah jumlah dari dua bit yang dikalikan. Perkalian twiddle factor berindex (2 downto -22) dan data masukan dengan index (2 downto -22) menghasilkan bilangan berindex (5 downto -44) atau sepanjang 50 bit.

Agar penggunaan bilangan fixed point menjadi konsisten, hasil kali bilangan berindex (5 downto -44) tadi kemudian diambil hanya 25 bit saja. Cara pemotongan bilangan 25 bit menyesuaikan index bilangan masukan. Misalnya input masukan berindex (2 downto -22) dan twiddle factor juga berindex (2 downto -22), hasil perkalian akan disimpan sementara pada signal temporary berindex (5 downto -44). Hasil kali kedua bilangan tadi akan diambil dari signal temporary dengan index (2 downto -22). Dengan demikian, bilangan fixed point yang digunakan menjadi konsisten.

C. Analisis Pengaruh Perkalian Berulang

Pada operasi perkalian bilangan biner, panjang bit hasil perkalian adalah jumlah bit bilangan pertama ditambah jumlah bit bilangan kedua. Bila dimisalkan dikalikan 2 bilangan dengan panjang 4 bit dan 5 bit, maka hasil kalinya adalah 9 bit.

Pada sistem dengan banyak perkalian biner, pemotongan bilangan hasil operasi perkalian harus dilakukan untuk menghindari penumpukan bit pada satu variabel. Setiap operasi perkalian memiliki panjang bit yang semakin panjang sesuai jumlah bit yang dikalikan. Bila perkalian tidak dilakukan, maka panjang bit pada satu variable akan semakin panjang dan akan membebani sistem.

Operasi IFFT mengaplikasikan persamaan radix-4 dimana pada setiap stagenya terdapat operasi perkalian, penjumlahan dan pengurangan. Operasi ini berulang pada setiap stage, dan mempertahankan jumlah bit hasil perkalian menjadi tidak praktis karena semakin lama semakin besar jumlah bitnya. Misal digunakan 10 bit representasi bilangan fixed point untuk bilangan real, mempertahankan jumlah bit hasil perkalian akan menghasilkan bilangan fixed point 320 bit pada akhir stage5.

Tentunya sangat tidak praktis untuk mempertahankan jumlah bit tersebut. Maka, hal yang perlu dilakukan adalah pemotongan bilangan biner. Meskipun dapat mengurangi penggunaan bit, namun pemotongan bilangan biner akan beresiko pada berkurangnya tingkat ketelitian bilangan tersebut.

Efek dari perkalian berulang adalah adanya ketelitian yang hilang, sehingga menimbulkan pergeseran angh (dalam real) yang semakin lama semakin besar. Pemilihan banyaknya bit yang sesuai akan menurunkan tingkat kesalahan yang mungkin terjadi, baik pada sisi pengirim maupun penerima.

Efek perkalian berulang ini menjadi perhatian saat menentukan nilai Twiddle Factor untuk masing-masing stage. Pada dasarnya, nilai twiddle factor indeks ke-n adalah pangkat ke-n dari twiddle factor itu sendiri. Itu berarti bahwa indeks ke 512 sebuah twiddle factor sebenarnya adalah perulangan perkalian sebanyak 512 kali dari sebuah bilangan. Operasi ini dapat dengan mudah diaplikasikan dengan menggunakan blok perkalian. Namun penulis memilih untuk tidak menggunakannya dengan alasan menjaga ketelitian nilai yang diberikan. Oleh sebab itu, pada penentuan nilai twiddle factor, penulis memilih menggunakan memori RAM sebagai penyimpan memori.

D. Analisis Penggunaan M-Bit Fixed Point

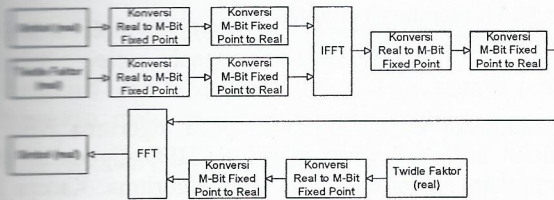
Penggunaan bilangan real pada operasi digital harus direpresentasikan dengan sebuah variabel digital berupa 0 dan 1. Penggunaan bilangan fixed point lebih menguntungkan untuk operasi dengan banyak perkalian. Pada penelitian ini, dilakukan analisis banyaknya bit yang digunakan dengan pergeseran letak simbol di sisi penerima.

Tujuan dari pengujian ini adalah didapatkannya sebuah bilangan M yang efektif dengan melihat tingkat error yang ditimbulkan karena perkalian berulang pada sisi penerima. Hasil dari pengujian ini kemudian akan menjadi rekomendasi bagi pemakaian banyaknya M-bit yang digunakan pada tipe data fixed point. Rekomendasi pada pengujian ini hanya berlaku untuk kondisi di bawah ini :

- a) IFFT yang digunakan adalah IFFT 1024 titik.
- b) Jarak antar simbol terdekat adalah $\frac{6}{\sqrt{10}}$ dengan asumsi daya rata-rata sama dengan 1.
- c) Mapper yang digunakan adalah 16-QAM.
- d) Tidak terjadi perubahan nilai real antara keluaran IFFT dan masukan FFT

E. Metode Pengujian Sistem

Skema yang digunakan untuk pengujian ini adalah pembulatan bilangan real masukan menjadi M-bit tertentu yang kemudian M-bit tersebut dikonversi kembali menjadi bilangan real yang sudah terkompresi. Simulasi pengujian dilakukan dengan menggunakan Microsoft Excel 2007. Simulasi pengujian ini dilakukan pada seluruh bilangan yang terlibat dalam subsistem IFFT dan FFT dengan membandingkan keluaran FFT dan nilai simbol yang sebenarnya. Skema pengujian terlihat pada Gambar 7.



Gambar 7 Skema Pengujian M-Bit Fixed Point Representative

Simbol masukan dibangkitkan dengan memasukkan data biner. Pada pengujian ini, diambil 3 contoh data biner sebagai masukan, sehingga menghasilkan 3 kombinasi simbol. Simbol masukan dan simbol keluaran kemudian dibandingkan dengan menghitung jumlah bit yang error pada penerima. Hasil dari pengujian ini ditunjukkan pada.

Tabel 1 Pergeseran Simbol Dengan M-bit Fixed Point

No	Jumlah Bit	Data 1	Data 2	Data 3
		Bit Error	Bit Error	Bit Error
1	25 Bit	0	0	0
2	24 Bit	0	0	0
3	23 Bit	0	0	0
4	22 Bit	0	0	0
5	21 Bit	0	0	0
6	20 Bit	0	0	0
7	19 Bit	0	0	0
8	18 Bit	0	0	0
9	17 Bit	1	1	4
10	16 Bit	14	16	8
11	15 Bit	100	108	78
12	14 Bit	879	884	862
13	13 Bit	1598	1593	1554
14	12 Bit	1321	1323	1262

Berdasarkan perhitungan level tegangan, batas simbol adalah sebesar $\frac{3}{\sqrt{10}}$ atau sebesar 0.316227766. Oleh karena

itu, pergeseran simbol melebihi angka tersebut akan menyebabkan error pada pembacaan simbol. Pada Tabel 1, pergeseran simbol terjadi pada penggunaan 17-bit fixed point.

Hasil pengujian menunjukkan bahwa penggunaan 17 bit fixed point akan menyebabkan error pada sisi penerima. Pada kondisi kanal ideal, penggunaan lebih dari 17 bit fixed point sangat disarankan agar data pada penerima diterima dengan baik.

IV. KESIMPULAN

Dari hasil pengujian yang telah dilakukan, pada pemancar dan penerima dengan mapping 16-QAM IFFT-1024 pada kanal ideal, 18 bit representasi (2 downto -17) akan mengurangi tingkat error pada sisi penerima. Penggunaan 19 atau 20 bit fixed point sangat disarankan untuk menjamin data diterima dengan baik pada sisi penerima.

DAFTAR PUSTAKA

- [1] Altera Corp, "Constellation Mapper and Demapper for WiMAX," San Jose, California, 2007.
- [2] Ashenden, Peter J, "The VHDL Cookbook First Edition," University of Adelaide, South Australia, 1990.
- [3] Bishop, David, "Fixed Point Package User's Guide," vhd.org.
- [4] Dong, Jiangbo, "Optimal 2-Circular 16QAM Constellation Design," Beijing, China, 2003.
- [5] Modul Praktikum COA, "Gerbang Logika," IT Telkom, Bandung, 2010.
- [6] NEE, Richard Van and Ramjee Prasad, "OFDM for wireless multimedia communications," Artech House, Boston, 2000.
- [7] Orfanidis, Sophocles, "Introduction to Signal Processing," Rutgers University, New Jersey, 2010.
- [8] Roden, Martin S, "Analog and Digital Communication Systems," Prentice Hall, New York, 1991.