

# PERANCANGAN DAN IMPLEMENTASI ENCODER SFBC PADA LTE ARAH DOWNLINK BERBASIS FPGA

(DESIGN AND IMPLEMENTATION OF LTE DOWNLINK ENCODER SFBC BASED ON FPGA)

Ghazali Al Nafi<sup>1</sup>  
(ghazaligheza@gmail.com)

Dr. Rina Pudjiastuti, Ir., MT.<sup>2</sup>  
(rpa@ittelkom.ac.id)

Denny Darlis, SSi., MT..<sup>3</sup>  
(dennydarlis@gmail.com)

Fakultas Elektro Dan Komunikasi – Institut Teknologi Telkom  
Jl. Telekomunikasi, Dayeuh Kolot Bandung 40257 Indonesia

---

---

## ABSTRAK

3GPP LTE (Long Term Evolution) adalah evolusi dari UMTS dalam menanggapi permintaan yang terus meningkat untuk layanan multimedia berkualitas tinggi sesuai dengan harapan pengguna. Sistem pada LTE menggunakan teknik Multiple Input Multiple Output (MIMO) yaitu sistem yang menggunakan multi antena pada bagian pengirim dan penerima. Salah satu skema pengkodean pada teknik MIMO LTE adalah Space Frequency Block Code (SFBC) skema yang berdasarkan penelitian lebih handal pada kondisi mobilitas dibandingkan terhadap Space Time Block Code (STBC).

Pada tugas akhir ini dirancang bagian encoder SFBC alamouti dengan dua antena pengirim dan diimplementasikan pada FPGA. Perancangan encoder SFBC menggunakan bahasa pemrograman VHDL. Pada penelitian ini encoder SFBC diintegrasikan dengan OFDM 512 subcarrier yang sudah diteliti oleh peneliti sebelumnya. Hasil simulasi SFBC-OFDM dilakukan pengujian untuk verifikasi hasil keluaran. Setelah itu perancangan encoder SFBC pada VHDL di implementasikan pada board FPGA.

Hasil verifikasi keluaran simulasi dan implementasi encoder SFBC dan SFBC-OFDM memiliki hasil yang sama di masing- masing lengan keluarannya. Bit rate yang dicapai pada implementasi ini adalah 50,12 Mbps. Pada tugas akhir ini juga diperoleh hasil sintesis pada software Xilinx yaitu mengenai jumlah resource yang terpakai pada FPGA untuk encoder SFBC adalah occupied slice 1%, slice register 1%, 4 input LUTs 1%, bonded IOBs 27%, BUFG/BUFGCTRLs 3% dan SFBC-OFDM adalah slice register 9% , occupied slice 57%, input LUT 45%, jumlah IOB 27% dan jumlah BUFG/BUFGCTRLs 3%.

Kata kunci : LTE,MIMO,SFBC Alamouti, FPGA,VHDL

---

---

## ABSTRACT

3GPP LTE (Long Term Evolution) is the evolution of the UMTS want to respond to growing demand for high-quality multimedia services in accordance with user expectations. The LTE system uses multiple Input Multiple Output (MIMO) system which uses multiple antennas at the transmitter and receiver sections. One of the coding scheme in LTE MIMO technique is a Space Frequency Block Code (SFBC) scheme is based on more reliable research on the conditions of mobility compared to the Space Time Block Code (STBC).

In this final project has been designed SFBC encoder alamouti with two antennas transmitter and implemented on FPGA. SFBC encoder design using VHDL programming language. In this final project, the SFBC encoder integrated with the OFDM 512 subcarriers that has been studied by previous researchers. SFBC-OFDM simulation results of testing conducted to verify the output. After that, SFBC encoder in VHDL designs implemented on FPGA board.

The result of the verification and implementation SFBC encoder and SFBC-OFDM have the same results. Bit rate achieved in this implementation is 50.12 Mbps. The synthesize results obtained on the Xilinx software is the amount of used resource in the FPGA for SFBC encoder is occupied slice 1%, slice register 1%, 4 input LUTs 1%, bonded IOBs 27%, BUFG/BUFGCTRLs 3% and SFBC-OFDM is slice register 9% , occupied slice 57%, input LUT 45%, IOB 27% and the number of BUFG/BUFGCTRLs 3%.

Keywords: LTE,MIMO,SFBC Alamouti, FPGA,VHDL

---

---

## BAB I PENDAHULUAN

### I.1 Latar Belakang

Seiring dengan berkembangnya industry telekomunikasi *wireless* secara pesat dan permintaan layanan komunikasi dengan *bitrate*

tinggi. Meningkatnya layanan seperti *video streaming* dan TV digital diperlukan teknologi yang memiliki kecepatan yang tinggi.

Salah satu teknologi yang memiliki kecepatan yang tinggi adalah teknologi *Long Term Evolution* (LTE) yang memiliki multi antena pada sisi *transmitter* dan *receiver* atau yang lebih dikenal dengan *Multiple Input Multiple Output* (MIMO). *Space Frequency Block Code* (SFBC) adalah sebuah sistem *downlink* pada *Long term evolution* (LTE) yang di desain sehingga aliran *diversity* dikirim saling orthogonal. Pengkodean orthogonal cocok untuk dua antena *transmitter*.

Pada penelitian sebelumnya telah didisain dan diimplementasikan sistem *encoder* STBC dengan dua buah antena pada sisi *transmitter* dan *receiver*. Namun, teknologi STBC ini hanya melakukan *coding* pada sejumlah symbol OFDM yang setara dengan jumlah *transmitter*. Sedangkan SFBC melakukan *coding* di semua *subcarrier* pada interval simbol OFDM. Penyusunan tugas akhir ini berawal dari keinginan untuk mendesain dan mengimplementasikan sistem *encoder* SFBC.

Dalam tugas akhir ini didesain dan diimplementasikan sistem *encoder* SFBC berbasis FPGA yang diintegrasikan dengan blok OFDM 512 *subcarrier* yang sudah dilakukan oleh peneliti sebelumnya dengan menggunakan bahasa pemrograman *Very High Description Language* (VHDL). Perancangan dan implementasi sistem SFBC-OFDM ini menggunakan software Xilinx. Dengan FPGA didapatkan *prototype* sistem yang akan dapat diterapkan untuk pembuatan *chip* SFBC-OFDM.

## I.2 Perumusan Masalah

Rumusan masalah dalam penelitian ini adalah sebagai berikut :

1. Perancangan spesifikasi sistem SFBC yang akan diimplementasikan pada FPGA.
2. Pembuatan sistem *encoder* SFBC dalam bahasa VHDL.
3. Integrasi SFBC pada sistem OFDM.
4. Implementasi sistem SFBC pada FPGA.
5. Implementasi sistem SFBC –OFDM pada FPGA.

## I.3 Tujuan Penelitian

Tujuan akhir dari tugas akhir ini adalah perancangan sistem MIMO STBC 2x2. Rancangan ini harus *synthesizable* dan dapat diimplementasikan pada FPGA.

## I.4 Batasan Masalah

Untuk menghindari meluasnya materi pembahasan tugas akhir ini, maka penulis membatasi permasalahan dalam tugas akhir ini hanya mencakup hal-hal berikut :

1. Perancangan dan implementasi hanya pada bagian pengirim.
2. Algoritma *encoder* SFBC 2x2 yang digunakan dalam perancangan ini adalah algoritma Alamouti.
3. Menggunakan teknik SFBC alamouti dengan dua bagian pengirim.
4. Sistem *encoder* SFBC yang dirancang difokuskan pada *prototype* perancangan sistem *encoder* SFBC tersebut dengan input berupa bit-bit simbol keluaran *mapper* di level baseband.
5. Input rangkaian ini dalam bentuk bit dengan lebar 16 bit.
6. Sinkronisasi dibuat sempurna.
7. Fokus pada perancangan sistem *encoder* SFBC.
8. Perancangan dilakukan sampai sintesa hardware.
9. Hardware FPGA yang digunakan seri Xilinx Vertex VC4VLX25-363
10. Implementasi pada FPGA berupa signal tap.
11. Verifikasi hasil keluaran pada software Modelsim dibandingkan dengan hasil keluaran pada software MATLAB.

## I.5 Metode Penelitian

Metode penelitian yang digunakan dalam penulisan Tugas Akhir ini adalah :

1. Melakukan studi literatur dari buku, jurnal, dan referensi lain yang relevan dengan mempelajari hal-hal yang berkaitan dengan perencanaan system tersebut
2. Proses perencanaan yang meliputi pendisainan, pembuatan sistem, dan hasil implementasi sistem.
3. Perancangan arsitektur rangkaian menggunakan bahasa VHDL dengan software Xilinx.
4. Verifikasi rangkaian dengan menggunakan testbench pada software Xilinx.
5. Implementasi rangkaian pada FPGA..

## I.6 Sistematika Penulisan

Sistematika penulisan yang digunakan pada tugas akhir ini adalah:

### BAB I: PENDAHULUAN

Bab ini berisi uraian singkat mengenai latar belakang permasalahan, tujuan, rumusan masalah, batasan masalah, metode penelitian.

### BAB II: DASAR TEORI

Bab ini berisi uraian konsep dan dasar teori secara umum yang mendukung dalam perancangan yang dilakukan dalam tugas akhir ini.

**BAB III: PEMODELAN DAN SIMULASI SISTEM**

Bab ini berisi uraian gambaran dan penjelasan mengenai pemodelan dan simulasi perancangan encoder SFBC.

**BAB IV: PENGUJIAN DAN ANALISA SISTEM**

Bab ini menguraikan tentang pengujian pada setiap blok penyusun sistem encoder SFBC, penjelasan mengenai skenario implementasi serta pengujian sistem pada FPGA dan analisa terhadap hasil yang dikeluarkan

**BAB V: KESIMPULAN DAN SARAN**

Pada bab ini merupakan bab terakhir dari laporan tugas akhir yaitu berupa kesimpulan untuk sistem yang penulis kerjakan, serta saran untuk penelitian berikutnya.

**BAB II**

**LANDASAN TEORI**

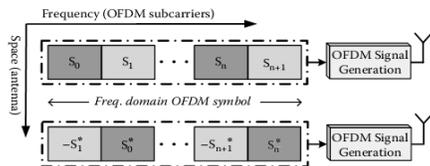
**II.1 Prinsip Dasar MIMO**

Space Frequency Block Code (SFBC) adalah skema yang digunakan dalam teknik diversity untuk mencapai diversity gain pada sistem MIMO namun tidak menawarkan coding gain. Skema transmisinya adalah membuat sinyal yang akan ditransmisikan orthogonal satu dengan yang lainnya dan perancangan tergantung pada jumlah antena pemancar.

Alamouti coding yang digunakan pada SFBC digambarkan sebagai berikut [4] :

$$\begin{matrix} \xrightarrow{\text{Space}} \\ \left[ \begin{array}{cc} S_0 & -S_1^* \\ S_1 & S_0^* \end{array} \right] \downarrow \text{Frequency} \end{matrix}$$

Simbol – simbol keluaran blok encoder SFBC dapat dilihat pada gambar dibawah :



**Gambar 2.3** simbol-simbol orthogonal menggunakan frekuensi berbeda [4]

Simbol – simbol keluaran blok encoder SFBC ini akan di modulasikan pada blok OFDM.

**BAB III**

**PERANCANGAN DAN IMPLEMENTASI SISTEM**

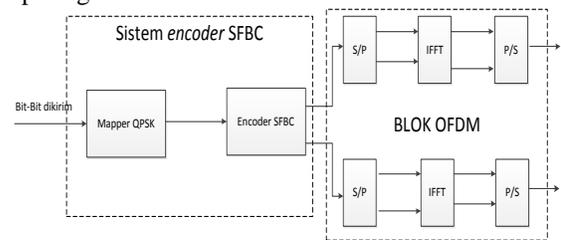
**3.1 Diagram Alir Perancangan dan Implementasi Sistem MIMO STBC 2x2**

Perancangan sistem encoder SFBC dimulai dengan menentukan spesifikasi dan parameter sistem encoder SFBC yang dirancang. Selanjutnya, dilakukan penguraian pada setiap blok penyusun sistem encoder SFBC. Tahap berikutnya adalah pemodelan setiap blok penyusun sistem encoder SFBC pada Xilinx dengan menggunakan bahasa VHDL. Encoder SFBC dikombinasikan dengan blok OFDM dengan menyesuaikan pin keluaran dan clock pada Xilinx. Jika penggabungan SFBC OFDM telah sesuai, dilakukan verifikasi dengan membandingkan keluaran SFBC OFDM pada Xilinx dengan keluaran pada software MATLAB. Jika hasil keluaran telah sesuai maka tahap terakhir adalah mengimplementasikan sistem yang telah dirancang ke dalam board FPGA. Secara lengkap perancangan dan implementasi sistem digambarkan dalam diagram alir berikut.

**3.2 Pemodelan Sistem Encoder SFBC**

Sistem encoder SFBC adalah suatu teknologi menggunakan prinsip diversity yang dapat meningkatkan data rate dalam range yang lebih besar tanpa membutuhkan bandwidth dan daya transmisi yang besar. Dalam perancangan ini akan mengacu pada standar LTE ( Long Term Evolution) diantaranya adalah teknik mapper dan OFDM. Teknik mapper yang digunakan yaitu dengan menggunakan modulasi QPSK sedangkan OFDM yang digunakan adalah OFDM 512 subcarrier dan menggunakan 2 antena pengirim.

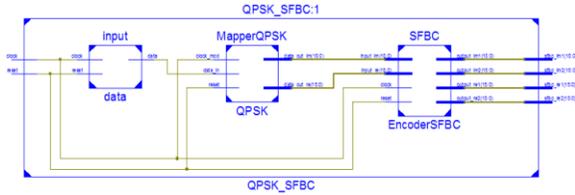
Model sistem encoder SFBC-OFDM yang diimplementasikan pada tugas akhir ini digambarkan seperti gambar di bawah ini :



**Gambar 3.2** Model sistem encoder SFBC [2]

Input dari sistem ini berupa bit stream yang masuk ke dalam mapper. Di dalam mapper bit-bit tersebut diubah menjadi simbol. Kemudian output dari mapper masuk kedalam blok encoder SFBC. Pada blok SFBC, simbol-simbol yang dikirim tadi diproses dengan menggunakan pengkodean SFBC yaitu berupa alamouti. Output encoder SFBC masuk kedalam blok OFDM 512 titik. Dalam perancangan menggunakan VHDL, blok-blok sistem diatas datur oleh semacam counter di setiap bloknya agar setiap blok tersinkronisasi.

**3.4 Pemodelan Sistem pada Xilinx**



**Gambar 3.9** Blok model sistem encoder SFBC pada Xilinx

Blok di atas adalah model perancangan encoder SFBC pada Modelsim, yang input berupa bit stream yang masuk ke blok mapper. Di dalam mapper bit bit tersebut diubah menjadi simbol-simbol yang di representasikan dalam 16 bit format bilangan fixed point. Karena pada FPGA bilangan kompleks tidak dapat disintesis. Simbol-simbol keluaran mapper QPSK ini amenable menjadi input blok encoder SFBC yang menggunakan alamouti. Pada blok serial to parallel memecah data output dari blok encoder SFBC menyesuaikan dengan jumlah antenna yang akan digunakan yaitu MIMO 2x2.

### 3.4.1 Representasi Bilangan Fixed Point [9]

Pada tugas akhir ini, pemrosesan data yang terjadi semuanya berada pada sistem digital. Pemrosesan dari keluaran mapper sampai input sudah berupa simbol. Simbol tersebut bukan berbentuk angka '1' dan '0' saja, akan tetapi sudah berbentuk bilangan desimal. Setiap bilangan desimal harus diproses dalam bilangan bulat dan diubah ke dalam bit-bit biner. Oleh karena itu, perlu disepakati aturan pembulatan dan perubahan bilangan tersebut ke bentuk biner. Dalam penelitian ini digunakan representasi bilangan fixed point. Aturan dari representasi bilangan ini menggunakan panjang data 16 bit bilangan biner. Delapan bit MSB (Most Significant Bit) merepresentasikan bilangan desimal di depan koma, sedangkan delapan bit LSB (Less Significant Bit) merepresentasikan bilangan di belakang koma dengan ketelitian empat angka di belakang koma. Untuk merepresentasikan bilangan negatif juga digunakan format bilangan 2's complement. Format representasi bilangan dirumuskan sebagai berikut.

$$X = \frac{1}{256} \begin{cases} \sum_{n=0}^{N-1} x_n 2^n & X \geq 0 \\ 2^N - \sum_{n=0}^{N-1} x_n 2^n & X < 0 \end{cases}$$

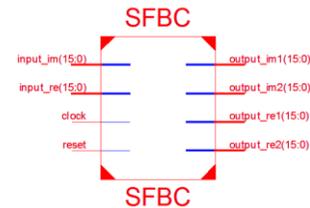
(3.2)

dimana X adalah representasi 2's complement dari sebuah bilangan desimal dengan panjang 16 bit[8].

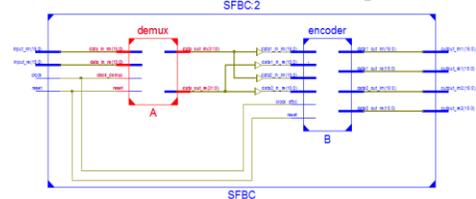
### 3.4.3 Perancangan encoder SFBC

Pada perancangan VHDL blok encoder SFBC menggunakan demux atau serial to parallel dan inverter. Demux atau serial to parallel berfungsi

untuk mengubah deretan data serial menjadi deretan data paralel, penggunaan demux ini menyesuaikan dengan antenna yang digunakan yaitu MIMO 2x2. S1,S2,S3 dan S4 adalah simbol-simbol yang panjangnya 16 bit hasil keluaran mapper QPSK dan telah dipecah menjadi 2 lengan paralel oleh demux. Yang dimaksud dengan tanda \* adalah conjugate dari simbol tersebut. Karena bilangan kompleks tidak dapat disintesis di FPGA, maka untuk membuat simbol menjadi conjugate-nya encoder dibuat dua bagian untuk memproses bagian real dan bagian imajiner. Conjugate artinya mengalikan bagian imajiner dengan bilangan -1, maka pada perancangan ini untuk membuat conjugate dilakukan dengan cara mengubah bagian imajiner menjadi bentuk bilangan 2's complement. Cara untuk membuat bilangan menjadi 2's complement adalah dengan cara mengubah semua bit 0 menjadi bit 1 dan semua bit 1 menjadi bit 0 baru kemudian dijumlahkan dengan bit 1. Tugas ini dilakukan oleh blok adder dan inverter pada encoder SFBC. Blok adder dan inverter juga diperlukan untuk mengalikan simbol dengan bilangan -1.

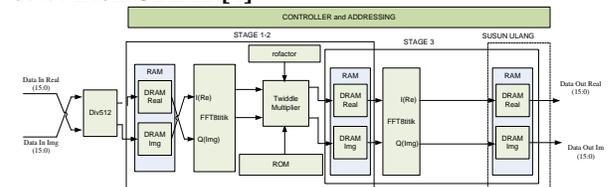


**Gambar 3.13** Blok encoder SFBC pada Xilinx



**Gambar 3.14** Blok penyusun encoder SFBC pada Xilinx

### 3.4.4 Blok OFDM [4]



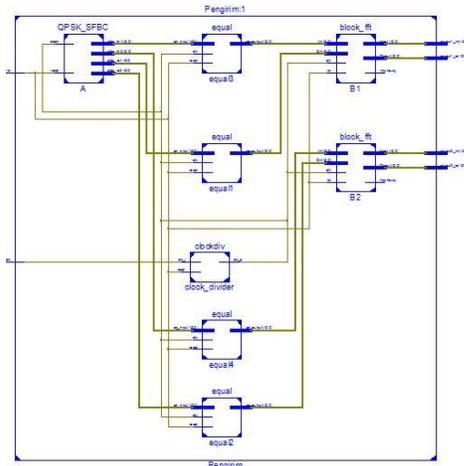
**Gambar 3.16** Arsitektur perancangan IFFT 512 titik radix-8 pada VHDL

Pada gambar 3.16 dapat dilihat desain blok IFFT. Desain blok IFFT diatas terdiri dari beberapa blok penyusun diantaranya controller, addressing, RAM, ROM, twiddle factor, div512 dan fft 8 titik. Controller dan addressing berfungsi untuk mengatur

semua proses yang berhubungan dengan pengaliran semua data, baik data yang akan dipanggil di RAM maupun data yang disimpan sementara pada ROM. RAM sendiri berisi Look Up Table (LUT) yang nantinya mengeluarkan data sesuai alamat yang terpanggil. ROM berfungsi menyimpan data sementara hasil perhitungan FFT 8 titik dengan twiddle factor. Blok FFT 8 titik ini terdapat pada setiap stage perhitungan IFFT sejumlah 64 pada tiap stage-nya yang memiliki fungsi untuk komputasi FFT radiks 8. Semua blok penyusun tersebut harus dapat bekerja secara sinkron sehingga prosesor IFFT dapat bekerja dengan baik.

### 3.4.5 Blok SFBC-OFDM

Dalam penggabungan SFBC-OFDM diperlukan sinkronisasi counter antara keluaran encoder SFBC dan blok OFDM mulai membaca input dari encoder SFBC. Pada blok dibawah dapat dilihat output real dari encoder SFBC menjadi masukan imajiner Div512 dan output imajiner encoder SFBC menjadi masukan real Div512 ini diperlukan karena blok OFDM menggunakan IFFT 512.



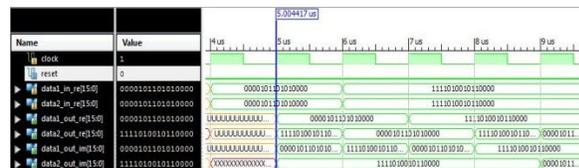
Gambar 3.18 Blok SFBC-OFDM pada Xilinx.

## BAB IV

### PENGUJIAN DAN ANALISIS SISTEM

#### 4.3 Pengujian Bagian encoder SFBC

Input yang digunakan sistem adalah adalah [ 00 01 10 11 11 10 01 00].



Gambar 4.4 Hasil keluaran encoder SFBC pada simulasi Isim

Pada blok encoder SFBC ini dibutuhkan lima clock untuk menghasilkan simbol orthogonal.

Pada tabel dibawah ini dapat dilihat kebenaran data yang diproses pada blok encoder SFBC.

Tabel 4.2 Keluaran SFBC real

Simbol	Data Biner	Representasi	Output encoder SFBC			
			S1	S2	-S2*	S1*
S1	0000101101010000	0.707	0000101101010000	0000101101010000	1111010101100000	0000101101010000
S2	0000101101010000	0.707	0000101101010000	1111010101100000	1111010101100000	1111010101100000

Tabel 4.3 Keluaran SFBC imajiner

Simbol	Data Biner	Representasi	Output encoder SFBC			
			S1	S2	-S2*	S1*
S1	0000101101010000	0.707	0000101101010000	1111010101100000	1111010101100000	1111010101100000
S2	1111010101100000	0.707	1111010101100000	1111010101100000	1111010101100000	1111010101100000

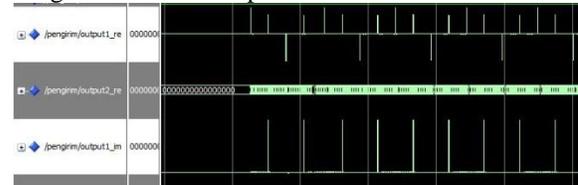
#### 4.4 Pengujian SFBC-OFDM

Pada bagian ini dilakukan pengujian output blok SFBC-OFDM. Hasil keluaran SFBC yang terdiri dari real\_1, real\_2, imajiner\_1, imajiner\_2 menjadi input blok OFDM. Proses penggabungan blok SFBC-OFDM perlu memperhatikan sinkronisasi kapan data SFBC keluar sehingga dapat diketahui kapan blok OFDM mulai membaca input. Pada gambar dibawah dapat dilihat OFDM mulai membaca input ketika clock ke-8.

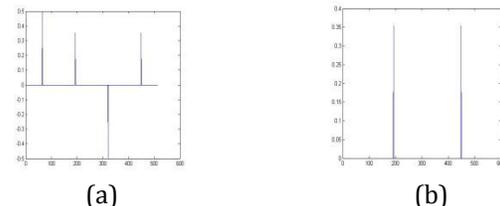


Gambar 4.5 Pembacaan awal data masukan pada bagian OFDM

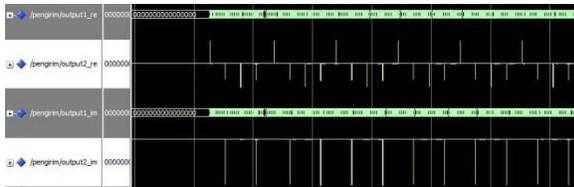
Pengujian blok SFBC-OFDM ini dengan cara membandingkan hasil simulasi pada Modelsim dengan hasil simulasi pada MATLAB.



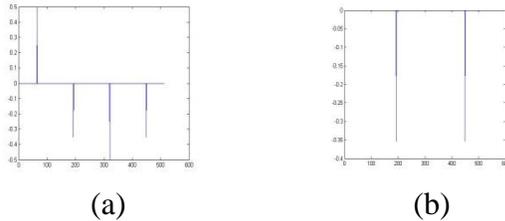
Gambar 4.6 Hasil simulasi Modelsim real\_1 dan imajiner\_1



Gambar 4.7 Hasil simulasi Matlab (a) Real\_1 (b) Imajiner\_1

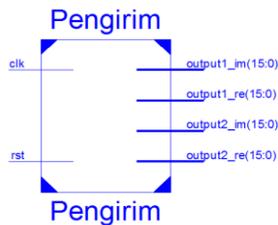


Gambar 4.8 Hasil simulasi modelsim real\_2 dan imajiner\_2



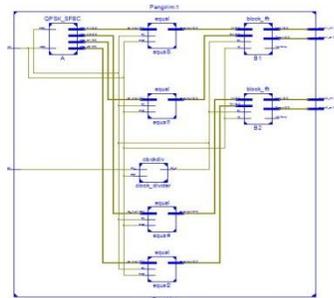
Gambar 4.9 Hasil simulasi Matlab (a) Real\_2 (b) imajiner\_2

#### 4.5 Implementasi SFBC dan SFBC-OFDM pada FPGA



Gambar 4.11 Tampilan blok sistem SFBC-OFDM hasil sintesa

Dalam tahap ini, modul yang dirancang dapat diterjemahkan dalam netlist dan gerbang logika pada FPGA. Untuk lebih jelasnya terlihat pada gambar berikut.



Gambar 4.12 Komponen penyusun SFBC-OFDM

Tabel 4.4 Penggunaan resource komponen pada FPGA untuk SFBC

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Note(s)
Total Number Slice Registers	68	21,504	1%	
Number used as Flip Flops	61			
Number used as Latches	7			
Number of 4 input LUTs	96	21,504	1%	
Number of occupied Slices	60	10,752	1%	
Number of Slices containing only related logic	60	60	100%	
Number of Slices containing unrelated logic	0	60	0%	
Total Number of 4 input LUTs	96	21,504	1%	
Number used as logic	91			
Number used as Shift registers	5			
Number of bonded IOBs	66	240	27%	
Number of BUFG, BUFGCTRLs	1	32	3%	
Number used as BUFGs	1			
Average Fanout of Non-Clock Nets	3.23			

Tabel 4.5 Penggunaan resource komponen pada FPGA untuk SFBC-OFDM

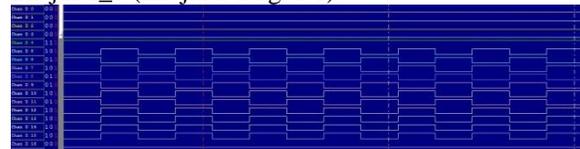
Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Note(s)
Total Number Slice Registers	2,102	21,504	9%	
Number used as Flip Flops	2,095			
Number used as Latches	7			
Number of 4 input LUTs	9,834	21,504	45%	
Number of occupied Slices	6,172	10,752	57%	
Number of Slices containing only related logic	6,172	6,172	100%	
Number of Slices containing unrelated logic	0	6,172	0%	
Total Number of 4 input LUTs	9,908	21,504	46%	
Number used as logic	9,829			
Number used as a route-thru	74			
Number used as Shift registers	5			
Number of bonded IOBs	66	240	27%	
Number of BUFG, BUFGCTRLs	2	32	6%	
Number used as BUFGs	2			
Number of FFPO16, RAMB16s	8	72	11%	
Number used as RAMB16s	8			
Number of DSP48s	40	48	83%	
Average Fanout of Non-Clock Nets	2.76			

#### 4.6 Analisis Hasil Implementasi

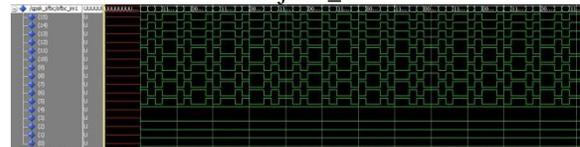
Pada tahap ini akan dilakukan pengujian hasil implementasi dengan membandingkan dengan hasil simulasi pada Modelsim. Pengujian dilakukan dengan bantuan logic analyzer dan perangkat lunak untuk menampilkan sinyal digital dari perangkat FPGA yang diuji.

##### 4.6.1 Implementasi SFBC

Pada bagian ini diuji hasil keluaran implementasi encoder SFBC dengan hasil simulasi pada Isim. Pada gambar dibawah ini dibandingkan hasil implementasi bagian imajiner\_1 (imajiner lengan 1) dengan hasil simulasi Isim bagian imajiner\_1 (imajiner lengan 1).



Gambar 4.14 Data hasil implementasi pada lengan imajiner\_1

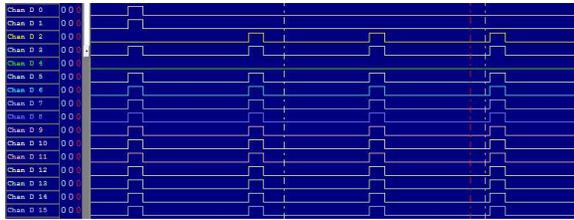


Gambar 4.15 Data hasil simulasi pada lengan imajiner\_1

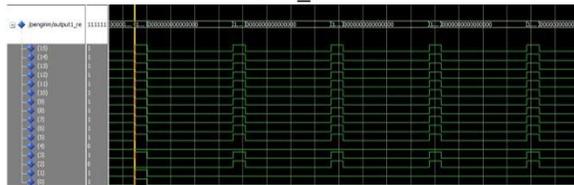
Dari hasil pengujian dan pengamatan yang telah dilakukan dapat diketahui bahwa nilai keluaran baik simulasi dan implementasi diperoleh nilai yang sama sehingga dapat disimpulkan bahwa rancangan sistem yang ditanamkan pada FPGA dapat berjalan dengan baik dan benar.

#### 4.6.2 Implementasi SFBC-OFDM

Pada gambar dibawah ini dibandingkan hasil implementasi bagian real<sub>1</sub> (real lengan 1) dengan hasil simulasi modelsim bagian real<sub>1</sub> (real lengan 1)



Gambar 4.16 Data hasil implementasi pada lengan real<sub>1</sub>



Gambar 4.17 Data hasil simulasi pada lengan real<sub>1</sub>

Dari hasil pengujian dapat diketahui bahwa nilai output bagian implementasi dan simulasi diperoleh nilai yang sama. Dari pengujian ini dapat diketahui berapa bit rate data. Pada gambar dibawah ini dapat dilihat clock yang dibutuhkan untuk mengolah 1024 bit data.



Gambar 4.18 Diperlukan 2043 clock untuk mengolah 1024 bit data

Pada gambar 4.18 dapat dilihat clock yang dibutuhkan untuk mengolah 1024 bit adalah 2043 clock. Jika pada clock 100 MHz maka perioda 1 bit adalah  $1/100 \mu s = 10 \text{ ns}$ . Maka bit rate yang dicapai adalah :

Bit rate =  $1/(2043 \text{ ns}) \times 1024 \text{ bit} = 50122,36 \text{ bit/detik} \approx 50,12 \text{ Mbps}$

#### 4.7 Hasil Analisis

Setelah melakukan pengujian dan implementasi sistem encoder SFBC spesifikasi yang di dapatkan setelah implementasi adalah sebagai berikut.

Tabel 4.6 Hasil spesifikasi setelah implementasi

Mapper	QPSK
Skema MIMO	SFBC 2x2

OFDM	512 subcarrier
Bit Rate	50,12 Mbps

Tabel 4.7 Penggunaan resource FPGA bagian SFBC

Occupied slice	1%
Slice register	1%
4 input LUTs	1%
Bonded IOBs	27%
BUFG/BUFGCTRLs	3%

Tabel 4.8 Penggunaan resource FPGA bagian SFBC-OFDM

Occupied slice	57%
Slice register	9%
4 input LUTs	45%
Bonded IOBs	27%
BUFG/BUFGCTRLs	3%

## BAB V

### KESIMPULAN DAN SARAN

#### 5.1 Kesimpulan

- Hasil pengujian pada setiap blok yang menyusun encoder SFBC telah sesuai rancangan. Hasil bit rate yang dicapai pada simulasi dan implementasi sistem SFBC-OFDM 50,12 Mbps dengan frekuensi kerja 100 Mhz.
- Berdasarkan hasil sintesis sistem encoder SFBC jumlah resource yang dibutuhkan adalah occupied slice 1%, slice register 1%, 4 input LUTs 1%, bonded IOBs 27%, BUFG/BUFGCTRLs 3%. Dengan resource sistem encoder SFBC seperti ini, sistem encoder SFBC dapat diimplementasikan pada board FPGA Virtex-4 XC4VLX25-FF363.
- Berdasarkan hasil sintesis sistem SFBC-OFDM jumlah resource yang dibutuhkan adalah occupied slice 57%, slice register 9%, 4 input LUTs 45%, bonded IOBs 27%, BUFG/BUFGCTRLs 3%. Dengan resource sistem encoder SFBC-OFDM seperti ini, sistem encoder SFBC dapat diimplementasikan pada board FPGA Virtex-4 XC4VLX25-FF363.
- Pengujian hasil implementasi dilakukan dengan bantuan perangkat logic analyzer

dan perangkat lunak LA-2124A menunjukkan nilai keluaran yang dihasilkan pada board FPGA berdasarkan pin outputnya diperoleh nilai yang sama dengan simulasi Modelsim. Dari hasil pengujian frekuensi kerja FPGA yang digunakan adalah 100 MHz sehingga kecepatan data yang dapat dilewatkan adalah 50,12 Mbps.

## 5.2 Saran

Beberapa saran yang dapat yang dapat dilakukan untuk pengembangan sistem adalah :

1. Untuk pengembangan selanjutnya, dapat dibuat sistem decoder SFBC pada bagian pengirim.
2. Dilakukan pengembangan untuk SFBC MIMO 4x4 sekaligus integrasi dengan OFDM.
3. Pengujian dapat dilakukan dengan input dari media di luar generator sinyal dalam FPGA, misalkan gambar atau text dari computer.

## DAFTAR PUSTAKA

- [1] Alamouti, Siavash. 1998. Paper : A Simple Transmit Diversity Technique for Wireless Communication. IEEE Jurnal on select areas in communications, Vol.16, No.8.
- [2] Bauch, Gerhard. 2003 Paper : Space- Time Block Codes Versus Space-Frequency Block Codes. IEEE jurnal. Korea.
- [3] F. Portier, J-Y dan Baudais, J-F. Helard, Performance of STBC MC-CDMA system over outdoor realistic MIMO channels. France.
- [4] Furht, Borko and Syed A. Ahsan. 2009. 3GPP LTE Radio and Cellular Technology. Taylor & Francis Group. United States of America.
- [5] Hadiyoso, Sugondo.2012. PERANCANGAN DAN IMPLEMENTASI OFDM-STBC BERBASIS FPGA UNTUK WIMAX 802.16e. Institut Teknologi Telkom : Tidak diterbitkan.
- [6] Hara, Shinsuke dan Ramjee Prasad.(2003). Multicarrier Techniques for 4G Mobile Communications. Artech House. Boston, London.
- [7] Mehmood, Asad and Cheema, Waqas Aslam. 2009. Channel Estimation for LTE Downlink. Thesis. Blekinge Institute of Technology, Swedia.
- [8] Sesia, Stefania, dkk. 2011. LTE The UMTS Long Term Evolution From Theory to Practice. John Wiley & Sons Ltd. United Kingdom.
- [9] Sujatmiko, Wahyu. 2011. PERANCANGAN DAN IMPLEMENTASI MIMO ENCODER DECODER STBC ALAMOUTI 2x2 BERBASIS FPGA . Institut Teknologi Telkom : Tidak diterbitkan
- [10] Wicaksono, Isnain Arif. 2012. PERANCANGAN DAN IMPLEMENTASI ENCODER DECODER STBC MIMO 4X4 BERBASIS FPGA. Institut Teknologi Telkom : Tidak diterbitkan.