

DESAIN TRANSMITTER OFDM-STBC PADA VHDL

Sugondo Hadiyoso¹, Rina Pudji Astuti², Iswahyudi Hidayat³

^{1,2,3}Fakultas Elektro dan Komunikasi, Institut Teknologi Telkom

¹sugondo.hadiyoso@gmail.com, ²rpa@ittelkom.ac.id, ³isw@ittelkom.ac.id

Abstrak

Teknik *multicarrier* dan *Multiple Input Multiple Output-Space Time Code* (MIMO-STC) sangat efektif untuk mengatasi permasalahan sistem komunikasi dengan laju data tinggi, pada implementasinya dapat digunakan teknik *Orthogonal Frequency Division Multiplexing* (OFDM) dan *Space Time Block Code* (STBC). Salah satu tahapan untuk menghasilkan suatu rancangan *prototype Integrated Circuit* (IC) sistem tersebut dapat dilakukan dengan implementasi pada *Field Programmable Gate Array* (FPGA) yang dideskripsikan menggunakan bahasa *VHSIC Hardware Description Language* (VHDL). Pada penelitian ini disimulasikan OFDM 512 *subcarrier* dengan teknik FFT/IFFT 512 titik yang menggunakan pendekatan algoritma radiks-8, artinya sistem FFT/IFFT 512 titik akan disusun atau dibentuk dari blok-blok FFT 8 titik. Teknik STBC yang digunakan menggunakan skema Alamouti dengan dua pemancar. Teknik FFT/IFFT, STBC, dan integrasinya dideskripsikan pada bahasa VHDL kemudian dilakukan simulasi secara *software* menggunakan Modelsim 6.3 untuk dilakukan verifikasi terhadap nilai keluarannya.

Kata Kunci: *multicarrier*, OFDM, MIMO, STBC, FPGA, FFT/IFFT, VHDL, Modelsim

Abstract

Multicarrier technique and Multiple Input Multiple Output-Space Time Code (MIMO-STC) is very effective to solve the problems of communication systems with high data rate, Orthogonal Frequency Division Multiplexing (OFDM) and Space Time Block Code (STBC) technique can be implemented. One of the stages to produce a prototype design of Integrated Circuit (IC) system can be done with the implementation on Field Programmable Gate Arrays (FPGA) is described using the VHSIC Hardware Description Language (VHDL) language. In this research have simulated OFDM 512 subcarrier with 512 point FFT/IFFT algorithm that uses radix-8 approach, meaning that FFT / IFFT 512 system will be established or formed from 8-point FFT blocks. STBC technique using Alamouti scheme with two transmitters. Techniques FFT/IFFT, STBC, and integration is described in VHDL language and then simulated using Modelsim 6.3 for the verification value of output.

Keywords: *multicarrier*, OFDM, MIMO, STBC, FPGA, FFT/IFFT, VHDL, Modelsim

1. Pendahuluan

Simulasi pada VHDL dan implementasi pada FPGA merupakan bagian dari tahapan-tahapan pembuatan "chip" perangkat WiMAX. OFDM dan STBC merupakan bagian yang penting pada sistem WiMAX. Implementasi teknik OFDM dan STBC pada FPGA yang didahului dengan pendeskripsian pada bahasa VHDL terdapat beberapa permasalahan. Permasalahan tersebut antara lain penerapan teknik IFFT/FFT untuk membuat *subcarrier* serta algoritma yang digunakannya. Masalah lain adalah sinkronisasi saat melakukan integrasi antara OFDM dan STBC. Kedua hal inilah yang menjadi pertimbangan bagaimana mendesain sistem agar mendapatkan performa yang maksimal.

Berbagai metode dapat dilakukan untuk mendapatkan OFDM dengan performa yang baik sesuai dengan tujuan implementasinya demikian juga dengan STBC. Akan tetapi tantangan yang dihadapi dalam implementasi adalah mendapatkan

utilitas memori seminimal mungkin dengan tetap memperhatikan kehandalannya.

Pada penelitian ini digunakan OFDM 512 *subcarrier* yang merupakan hasil dari penelitian sebelumnya^[10] dengan teknik FFT/IFFT 512 titik yang menggunakan pendekatan algoritma radiks-8, artinya sistem FFT/IFFT 512 titik akan disusun atau dibentuk dari blok-blok FFT 8 titik. Algoritma radiks-8 akan membagi FFT/IFFT 512 titik yang dirancang menjadi tiga *stage*. Penggunaan algoritma radiks-8 untuk membangun FFT/IFFT 512 titik yang dideskripsikan pada bahasa VHDL. Pada blok STBC digunakan skema Alamouti dengan memodifikasi *clock processing* hasil penelitian sebelumnya [10] dimana yang tadinya keluaran blok STBC membutuhkan 2 *clock* dirubah menjadi 1 *clock*. Setelah blok FFT/IFFT berhasil direalisasikan, integrasi antara OFDM dan STBC dilakukan dengan memperhatikan sinkronisasi *clock* antara kedua blok tersebut. Untuk saat ini, pengujian sistem dilakukan sebatas verifikasi simulasi pada *software* Modelsim

dengan data pembanding yang di-generate pada MATLAB. Setelah dilakukan pengujian secara simulasi selanjutnya dilakukan implementasi pada FPGA diikuti dengan penyesuaian dengan spesifikasi standar WiMAX. Hasil penelitian ini merupakan langkah awal untuk pembuatan chip WiMAX yang nantinya dapat diproduksi secara masal.

2. Dasar Teori

2.1 Modulasi Multicarrier OFDM

OFDM (*Orthogonal Frequency Division Multiplexing*) merupakan teknik modulasi multicarrier, dimana antar subcarrier saling orthogonal satu sama lain. Dengan sifat orthogonalitas ini maka antar subcarrier dapat dibuat overlapping tanpa menimbulkan efek intercarrier interference (ICI). Hal ini akan menghemat penggunaan bandwidth. Pada sistem konvensional, untuk mentransmisikan data secara paralel digunakan beberapa carrier yang tidak overlap selain itu juga diperlukan guardband, hal ini tentu saja memerlukan bandwidth yang lebih lebar dari pada menggunakan OFDM [9].

Prinsip dari OFDM adalah membagi bit rate sinyal informasi wideband menjadi deretan data paralel dengan bit rate yang lebih rendah sehingga akan didapatkan deretan paralel sinyal bit rate rendah narrowband, kemudian data-data paralel tersebut di modulasi dengan subcarrier yang saling orthogonal [6]. Hal ini menjadi kelebihan dari OFDM karena kanal yang semula bersifat frequency selective fading akan dirasakan seperti kanal flat fading oleh masing-masing subcarrier, sehingga proses koreksi dan rekonstruksi sinyal di penerima menjadi lebih mudah.

2.2 Space Time Block Code (STBC)

Space Time Block Code (STBC) adalah skema yang digunakan dalam teknik transmit diversity untuk mencapai diversity gain pada sistem MIMO namun tidak menawarkan coding gain. Skema transmisinya adalah membuat sinyal yang akan ditransmisikan orthogonal satu dengan lainnya dan perancangannya tergantung pada jumlah antena pemancar.

Skema transmisi Space Time Block Code (STBC) yang digunakan pada penelitian ini adalah skema transmisi yang diperkenalkan oleh Alamouti [9].

Pada saat t , antena T_{x0} memancarkan sinyal S_0 dan antena T_{x1} memancarkan sinyal S_1 , kemudian saat $t+1$, antena T_{x0} memancarkan sinyal $-S_1^*$ dan antena T_{x1} memancarkan sinyal S_0^* . Tanda * merupakan operasi konjugasi [10].

2.3 FFT/IFFT

OFDM akan mudah direalisasikan dengan Invers / Discrete Fourier Transform (I/DFT).

Dengan I/DFT, meskipun banyak subcarrier, namun tidak diperlukan banyak filter dan osilator [4]. Dengan penggunaan I/DFT pada OFDM maka akan didapat subcarrier yang saling orthogonal dan untuk mendapatkan komputasi yang lebih efisien maka digunakanlah persamaan Invers / Fast Fourier Transform (I/FFT) [4].

Dalam penelitian ini, pembuatan I/FFT menggunakan algoritma Cooley-Tukey FFT. Cooley-Tukey FFT adalah versi FFT yang paling simple, dimensi dari DFT dibagi menjadi setengah sampai satuan [10]. Cooley-Tukey FFT yang terkenal adalah transformasi dengan panjang N sebagai bilangan berbasis r , sebagai contoh, $N=r^v$. Algoritma ini sering disebut algoritma radix- r [3].

Persamaan I/FFT diturunkan dari persamaan DFT. Ide menggunakan I/FFT daripada DFT adalah perhitungan yang lebih cepat dimana ini merupakan kriteria utama dari implementasi proses sinyal digital. Dengan DFT perhitungan untuk N -point DFT dihitung satu persatu setiap poin. Sedangkan jika I/FFT, perhitungan dilakukan secara bersamaan dan metode ini menghemat banyak waktu dan kompleksitas akan berkurang. Di bawah ini ditunjukkan persamaan DFT dan dari persamaan inilah didapat persamaan I/FFT [1].

$$X(k) = \sum_{n=0}^{N-1} x(n)e^{-j2\pi kn/N} \quad (1)$$

Persamaan DFT juga dapat ditulis menjadi [1]:

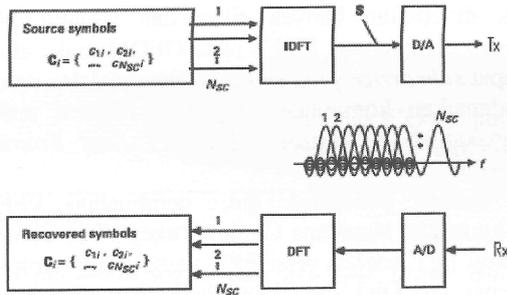
$$X(k) = \sum_{n=0}^{N-1} x(n)W_N^{nk} \quad (2)$$

Banyaknya W_N^{nk} didefinisikan [1]:

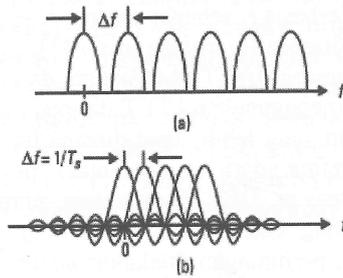
$$W_N^{nk} = e^{-j2\pi nk/N} \quad (3)$$

3. Pemodelan Sistem

Pada penelitian ini dimodelkan sistem OFDM-STBC yang mengacu pada standar yang telah ditetapkan IEEE untuk WiMax 802.16e. Pada penelitian ini, blok OFDM yang akan direalisasikan mempunyai 512 subcarrier, teknik modulasi yang digunakan adalah Quadrature Phase Shift Keying (QPSK), dan untuk mendukung smart antenna maka digunakan sistem STBC Alamouti dengan skema dua pemancar sesuai dengan standar WiMAX 802.16e. Pemodelan pada penelitian ini difokuskan hanya pada bagian Intermediate Frequency (IF) pada level baseband. Secara umum sistem yang akan di-implementasikan dapat digambarkan sebagai berikut.



Gambar 1. Blok Diagram OFDM^[4]

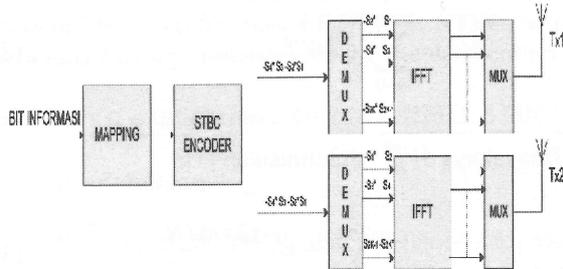


Gambar 2(a). Spektrum Multicarrier Tidak Overlap 2(b). Overlap Ortogonal [4]

$$t \begin{bmatrix} T_{x0} & T_{x1} \\ S_0 & S_1 \end{bmatrix}$$

$$t+1 \begin{bmatrix} -S_1^* & S_0^* \end{bmatrix}$$

Gambar 3. Skema Matriks Transmisi STBC [2]



Gambar 4. Blok Sistem Transmitter OFDM-STBC

Tabel 1. Representasi Simbol QPSK

Bit masukan (b_0b_1)	Representasi Simbol *0.707	Representasi Biner
00	$0.707+0.707j$	$0.707=$ 0000101101010000
01	$0.707-0.707j$	$-0.707=$ 1111010010110000
11	$-0.707-0.707j$	
10	$-0.707+0.707j$	

3.1 Mapper QPSK

Pada QPSK, data akan dibentuk menjadi simbol-simbol data kompleks yang aturan pemetaan simbolnya terdapat pada Tabel 1. Desain pada pengkodean VHDL terdapat clock, reset, dan start

berupa input dengan nilai tertentu yang digunakan sebagai pengontrol untuk menjalankan program. Pada bagian output terdapat dua lengan yang masing-masing lengan digunakan untuk mengeluarkan nilai real dan imajiner dengan panjang data 16 bit.

3.2 Desain STBC

Pada penelitian teknik modulasi yang digunakan adalah QPSK maka simbol yang dihasilkan terdapat bilangan kompleks. Sehingga dalam pemodelan di atas, simbol tersebut harus dipisahkan antara bagian real dan imajiner, dikarenakan pada pemrograman menggunakan VHDL tidak dapat membuat bilangan kompleks tersebut. Sedangkan, count di setiap lengan keluaran sistem digunakan sebagai pengatur keluaran dari STBC tersebut. Karena dalam satu periode setiap masukan pada STBC akan menghasilkan empat output, jadi diperlukan suatu blok untuk pengaturan sinkronisasi. inverter dan adder di atas digunakan untuk mengubah bagian simbol baik real ataupun imajiner ke dalam bilangan negatif atau sebaliknya. Dalam hal ini bilangan negatif yang digunakan adalah bilangan 2'complement dan direpresentasikan dalam bentuk bilangan fixed point yang dijelaskan pada bagian berikutnya.

Dari algoritma di atas maka secara jelas dapat digambarkan seperti pada Gambar 6 dan Gambar 7.

3.3 Desain Blok Transformasi Fourier

Dari perhitungan matematis, untuk membuat FFT 512 titik dari radiks-8 diperlukan 3 (tiga) tahapan komputasi yang diketahui dari $512=8^3$. Hasil tiap tahapan komputasi pada MATLAB digunakan sebagai validasi pada perhitungan manual pada Excel. Setelah semua keluaran masing-masing tahapan sudah benar, selanjutnya dilakukan pengkodean VHDL yang disesuaikan dengan alur perhitungan manual pada Excel. Bagian terpenting pada perancangan simulasi VHDL adalah addressing dan controlling yang berfungsi untuk pengaturan alamat dan pengendali saat kapan data harus diolah pada tiap stage-nya [10].

Sistem FFT 512 titik akan disusun atau dibentuk dari blok-blok FFT 8 titik yang berarti terdapat 64 blok FFT 8 titik pada tiap stage komputasi, lebih jelasnya dapat dilihat pada Gambar 9. Untuk perhitungan FFT 8 titik itu sendiri maka didapatkan persamaan:

$$X(k) = \sum_{n=0}^7 x(n)W_g^{nk} \quad (4)$$

dengan $k = 0, 1, 2, 3, \dots, 7$ dan $W_N = e^{-j\frac{2\pi}{N}}$.

Berdasarkan Algoritma Cooley-Tukey [3], untuk merancang FFT 512 titik yang disusun dari komputasi FFT dengan Jumlah N lebih kecil maka digunakan teknik decimation in frequency (DIF),

sehingga indeks n dan k dapat didekomposisi sebagai berikut:

$$n = 64n_2 + 8n_1 + n_0$$

$$k = 64k_2 + 8k_0 + k_0$$

dengan $n_0 = n_1 = n_2 = \{0,1,2,3,4,5,6,7\}$ dan $k_0 = k_1 = k_2 = \{0,1,2,3,4,5,6,7\}$ sehingga persamaan (4) menjadi sebagai berikut:

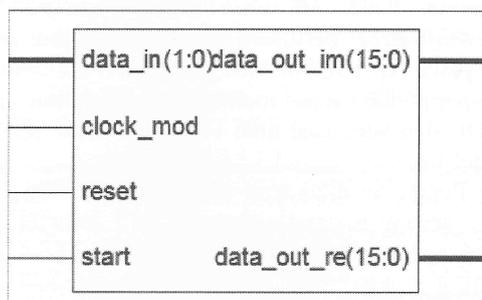
$$X(k) = \sum_{n_0=0}^7 \sum_{n_1=0}^7 \sum_{n_2=0}^7 x(n_0 + 8n_1 + 64n_2) W_{512}^{(n_0+8n_1+64n_2)(k_0 - 8k_1 - 64k_2)}$$

(5)

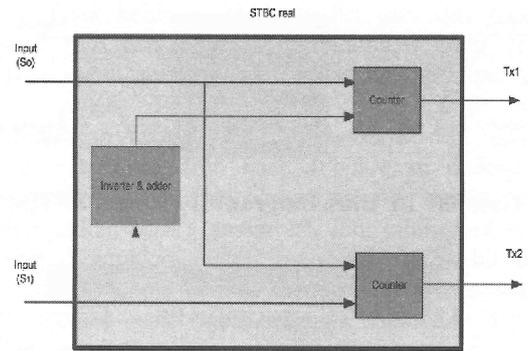
Blok FFT mempunyai blok-blok penyusunnya kembali bisa disebut juga blok pengurutan. Arsitektur lengkapnya dapat dilihat pada Gambar 9.

Sedangkan untuk perhitungan IFFT 512 titik tetap berbasis dengan perhitungan blok FFT hanya saja dilakukan perkalian dengan konstanta $1/N$ dan merubah lengan masukan, untuk nilai *real* akan menjadi masukan lengan imajiner dan nilai imajiner menjadi masukan lengan *real* begitu sebaliknya pula untuk lengan keluaran. Sebagai contoh sederhana, nilai input $10+5i$, ketika menjadi masukan untuk IFFT maka menjadi $5+10i$. Begitu pula dengan outputnya. Lebih jelasnya dapat dilihat Gambar 10.

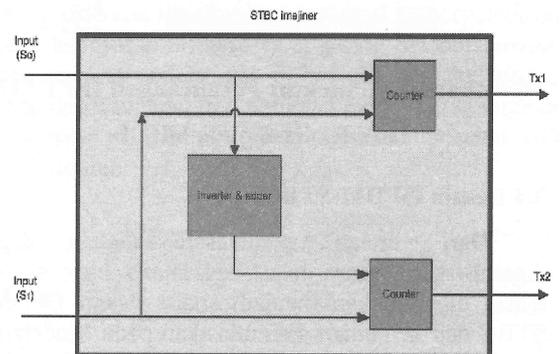
Desain blok IFFT pada Modelsim terdiri dari beberapa blok penyusun diantaranya *controller*, *addressing*, RAM, ROM, *twiddle factor*, *div512* dan FFT 8 titik. *Controller* dan *addressing* berfungsi untuk mengatur semua proses yang berhubungan dengan pengalamanan semua data, baik data yang akan dipanggil di RAM maupun data yang disimpan sementara pada ROM. RAM sendiri berisi *Look Up Table* (LUT) yang nantinya mengeluarkan data sesuai alamat yang terpanggil. ROM berfungsi menyimpan data sementara hasil perhitungan FFT 8 titik dengan *twiddle factor*. Blok FFT 8 titik ini terdapat pada setiap *stage* perhitungan IFFT sejumlah 64 pada tiap *stage*-nya yang memiliki fungsi untuk komputasi FFT radiks 8. Semua blok penyusun tersebut harus dapat bekerja secara sinkron sehingga prosesor IFFT dapat bekerja dengan baik. Untuk lebih jelasnya dapat dilihat pada Gambar 11.



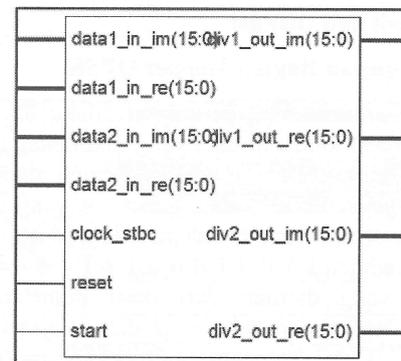
Gambar 5. Blok QPSK Hasil Sintesa



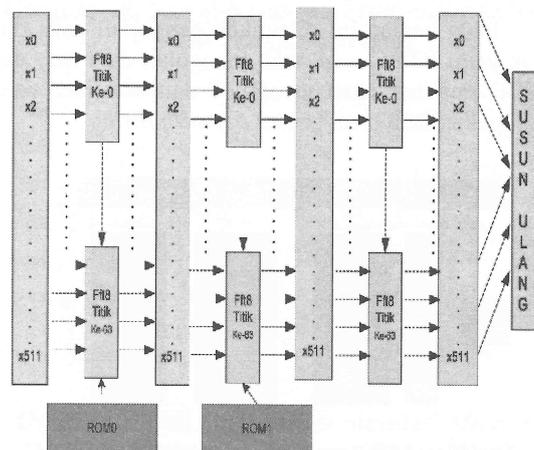
Gambar 6. Sistem STBC encoder real [10]



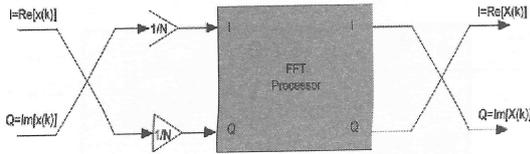
Gambar 7. Sistem STBC Encoder Imajiner [10]



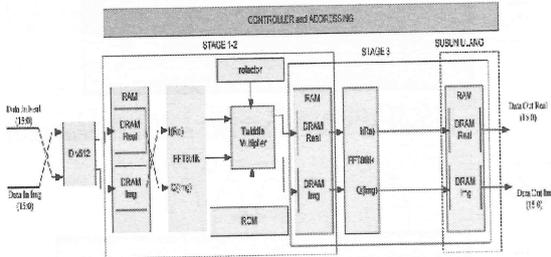
Gambar 8. Blok Encoder STBC Hasil Sintesa



Gambar 9. Arsitektur FFT 512 Titik [8]



Gambar 10. Blok Diagram IFFT dari FFT[8]



Gambar 11. Arsitektur Perancangan IFFT 512 Titik Radix-8 pada VHDL

3.4 Desain OFDM-STBC

Dari uraian penjelasan diatas dapat digambarkan secara jelas bagaimana blok sistem diatas digabungkan menjadi suatu sistem OFDM-STBC dan kemudian disimulasikan pada Modelsim. Lebih jelasnya dapat dilihat pada Gambar 12 berikut ini.

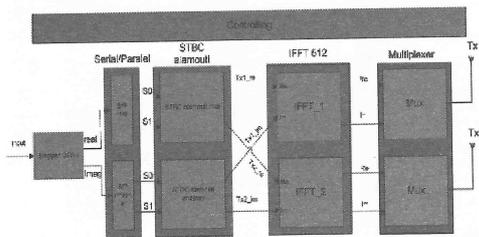
4. Hasil dan Diskusi

4.1 Pengujian Bagian Mapper QPSK

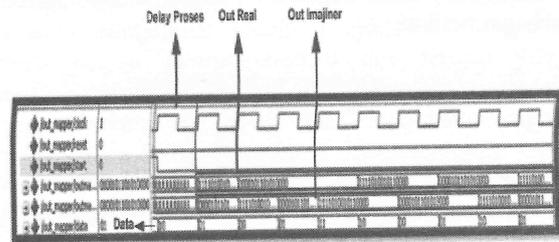
Pada bagian ini, pengujian dilakukan dengan melihat hasil keluaran data yang dikodekan menjadi bentuk simbol. Data masukan berupa deretan bit yang di-generate oleh data generator yang nilainya berulang setiap 16 bit. Adapun data yang diujikan tersebut adalah [1 0 0 1 0 0 0 1 1 1 1 0 0 0 0 1]. Simbol yang diamati dari hasil pemetaan oleh mapper terdiri dari nilai real dan imajiner secara terpisah. Data keluaran merupakan representasi biner dari 0,707 dan -0,707.

4.2 Pengujian Bagian STBC

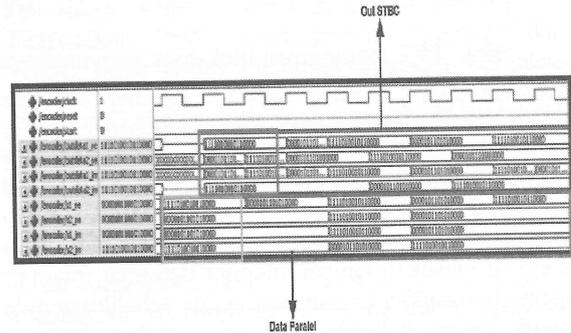
Pada bagian ini dilakukan pengujian pada dua blok yaitu STBC real akan mengolah data real dan STBC imajiner akan mengolah data imajiner yang merupakan data hasil proses demultiplexing.



Gambar 12. Skema Simulasi OFDM-STBC yang Direalisasikan pada VHDL



Gambar 13. Hasil Keluaran Mapper QPSK



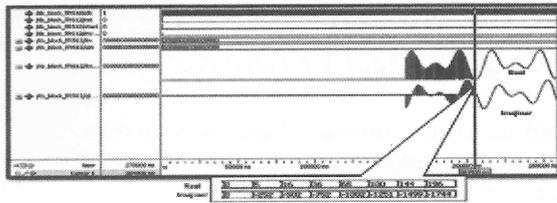
Gambar 14. Hasil Keluaran STBC

Total clock yang dibutuhkan untuk memproses dua simbol yang menjadi masukan STBC adalah 2 (dua) clock. Proses pada saat time T dan T+1 masing-masing membutuhkan 1 (satu) clock. Dengan demikian clock keluaran pada bagian ini telah sesuai dengan clock blok IFFT dimana tiap masukannya membutuhkan 1 (satu) clock.

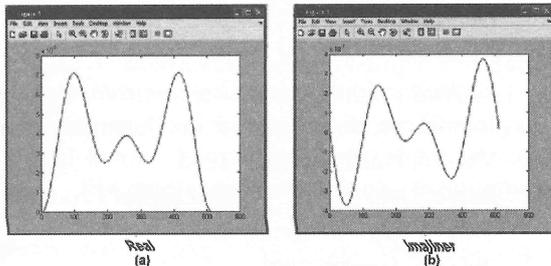
4.3 Pengujian Bagian IFFT

Algoritma radiks-8 yang digunakan untuk membangun FFT/IFFT 512 titik sebelumnya disimulasikan terlebih dahulu pada MATLAB untuk selanjutnya dilakukan verifikasi terhadap nilai FFT/IFFT jika menggunakan toolbox yang dimiliki oleh MATLAB. Setelah didapatkan hasil yang sama maka dapat disimpulkan bahwa penerapan algoritma radiks-8 untuk membangun FFT/IFFT 512 titik sudah benar dan dapat dilakukan simulasi berikutnya yaitu perhitungan secara manual menggunakan perangkat lunak Microsoft Excel. Simulasi pada Microsoft Excel bertujuan untuk mengetahui aliran data pada tiap stage perhitungan FFT/IFFT sehingga mempermudah saat membangun program pada VHDL dan verifikasi nilai FFT/IFFT hasil simulasi Modelsim.

Pengujian dilakukan dengan memberikan nilai input secara manual sebanyak 512 dengan nilai [2,0,-1,-1,0,0,0,...0 s/d (512)]. Nilai IFFT hasil simulasi bukan nilai sebenarnya melainkan nilai representasi bilangan biner yang telah disepakati sebelumnya yang disajikan dalam bentuk bilangan desimal.



Gambar 15. Hasil Simulasi IFFT 512 Titik pada Modelsim



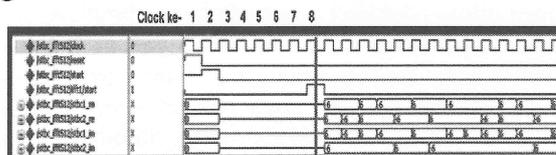
Gambar 16. (a) Hasil Simulasi MATLAB Nilai Real (b) Nilai Imaginer

Berdasarkan hasil simulasi yang telah dilakukan pada Modelsim disimpulkan bahwa hasil IFFT yang dirancang pada VHDL telah memiliki bentuk yang sama dengan hasil simulasi pada MATLAB. Untuk menguji kebenaran hasil dari simulasi Modelsim maka hasil IFFT pada MATLAB dikalikan dengan 4096 berdasarkan representasi bilangan yang telah ditetapkan. Total clock yang dibutuhkan untuk memproses data keluaran IFFT adalah 2049 clock.

Proses pada bagian IFFT dikendalikan oleh clock, reset, dan start. Sistem akan berjalan ketika reset dalam kondisi '0' dan sebagai penanda awal masuknya data maka start dalam kondisi '1' kemudian data harus masuk bersamaan ketika start bernilai '0'. Ketika start telah bernilai '0' tetapi belum ada data masuk maka tidak akan ada data yang diproses sehingga hasil keluaran IFFT akan bernilai 0.

4.4 Pengujian Integrasi OFDM-STBC

Proses integrasi ini perlu memperhatikan sinkronisasi kapan data keluaran STBC mulai muncul sehingga dapat diketahui kapan IFFT memulai pembacaan data yang akan dijadikan masukan. Berdasarkan hasil pengujian bahwa start yang digunakan sebagai salah satu pengendali pada bagian IFFT akan memulai membaca data masukan pada clock ke-8, secara jelas diperlihatkan pada gambar di bawah ini.

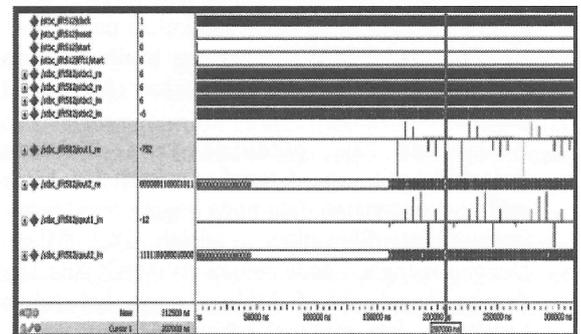


Gambar 17. Pembacaan Awal Data Masukan Bagian IFFT

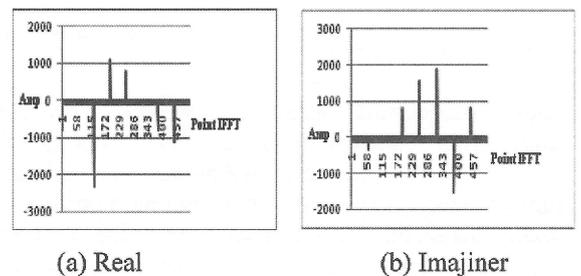
Data keluaran IFFT terdiri dari dua bagian yaitu real dan imajiner. Dibutuhkan 2070 clock cycle untuk menghasilkan nilai keluaran pertama dari proses IFFT sehingga total clock yang dibutuhkan sampai data keluaran ke-512 adalah 2581. Data keluaran hasil IFFT akan ditampung pada buffer kemudian di-multiplexing seperti yang ditunjukkan pada Gambar 12. Jadi total clock cycle yang dibutuhkan untuk mengolah 1024 bit data masukan sampai selesai keseluruhan proses adalah 3607 clock cycle (lebih jelasnya dapat dilihat pada Gambar 15). Sehingga data masukan baru dapat diolah setelah clock ke-3607 dengan memberikan masukan pada reset dengan nilai '1' kemudian '0'. Total clock cycle yang diperlukan sampai menyelesaikan keseluruhan proses akan berpengaruh pada kecepatan bit atau yang sering disebut bitrate. Berdasarkan perhitungan di bawah ini maka bitrate yang dapat dicapai tiap detiknya dengan kemampuan processor pada FPGA yang digunakan sebesar 100 MHz adalah:

$$\begin{aligned}
 \text{Bitrate} &= \frac{1}{36070ns} \times 1024bit \\
 &= 28.389.243 \frac{bit}{detik} \approx 28.3Mbps
 \end{aligned}$$

Gambar di bawah ini sinyal keluaran hasil simulasi Modelsim telah sesuai dengan sinyal keluaran pada simulasi Microsoft Excel.

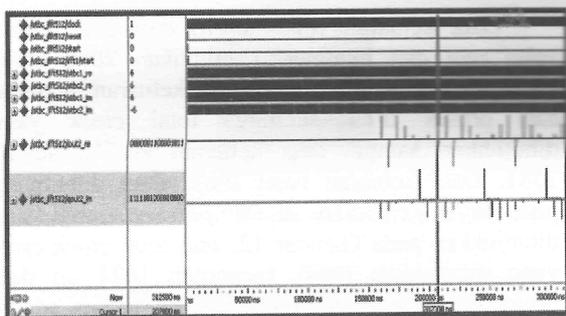


Gambar 18. Sinyal Keluaran Transmitter OFDM-STBC Bagian Pertama

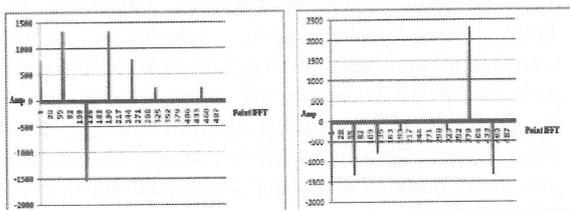


(a) Real (b) Imajiner

Gambar 19. (a) Sinyal Hasil Simulasi Microsoft Excel Transmitter Pertama Bagian Real (b) Bagian Imajiner



Gambar 20. Sinyal Keluaran Transmitter OFDM-STBC Bagian Kedua



(a) Real

(b) Imajiner

Gambar 20. (a) Sinyal Hasil Simulasi Microsoft Excel Transmitter Kedua Bagian Real
(b) Bagian Imajiner

6. Kesimpulan

Berdasarkan hasil penelitian yang telah dilakukan pada penelitian ini dapat disimpulkan sebagai berikut:

1. Perancangan transmitter OFDM-STBC pada level *baseband* telah dapat dilakukan pada tahap simulasi pada Modelsim yang hasilnya telah dilakukan verifikasi menggunakan MATLAB dan Microsoft Excel.
2. Berdasarkan hasil penelitian yang dilakukan frekuensi kerja yang digunakan adalah 100 MHz sehingga kecepatan data pada bagian transmitter yang dapat dilewatkan adalah 28,3 Mbps. Dengan mengacu pada standar WiMAX 802.16e dengan *bandwidth* 5 MHz dimana kebutuhan kecepatan data minimal sebesar 4 Mbps, maka sistem ini dapat diterapkan.

3. Selanjutnya dapat dilakukan sintesis rangkaian kemudian dilakukan implementasi keseluruhan sistem pada FPGA.

Daftar Pustaka

- [1] Adzha, Kamaru, "Design and Implementation of OFDM Transmitter and Receiver On FPGA Hardware", Tesis. UTM. Malaysia: Tidak Diterbitkan, 2005.
- [2] Alamouti, S. M., "A simple Transmit Diversity Technique for Wireless Communication", IEEE Journal on select Areas in Communication, Vol. 16, No. 8, October, 1998.
- [3] Baese, Uwe Meyer, "Digital Signal Processing With Field Programmable Gate Arrays", Springer. Jerman, 2001.
- [4] Fazal, K., S. Kaiser, "Multicarrier and Spread Spectrum System", John Willey & Sons. England, 2003.
- [5] Hara, Shinsuke, Ramjee Prasad, "Multicarrier Techniques for 4G Mobile Communications", Artech House. Boston, London, 2003.
- [6] Juwono, Filbert Hilman, dan Dadang Gunawan, "Prinsip-Prinsip OFDM", Andi, Yogyakarta, 2010.
- [7] Manoto, J. F., "Perancangan dan Implementasi Prosesor I/FFT 512 Titik Radix-8 Pada FPGA", Tugas Akhir. IT Telkom. Bandung. Tidak Diterbitkan, 2011.
- [8] Orfanidis, Sophocles J., "Introduction To Signal Processing", Prentice Hall, 2010.
- [9] Prasad, Ramjee, Richard van Nee, "OFDM for Wireless Multimedia Communications", Artech House, Boston, 2000.
- [10] Sujatmiko, Wahyu, "Perancangan dan Implementasi MIMO Encoder dan Decoder STBC Alamouti 2X2 Berbasis FPGA", Tugas Akhir. IT Telkom. Bandung. Tidak Diterbitkan, 2011.